



Espacenet

Bibliographic data: JP 2004535664 (A)

Preparation of thin layer/substrate assembly that can be readily dismantled comprises formation of interface incorporating two zones of differing mechanical strength

Publication date: 2004-11-25

Inventor(s):

Applicant(s):

Classification:
 - **international:** H01L21/02; H01L21/68; H01L21/762; H01L21/78; H01L27/12;
 (IPC1-7): H01L21/02; H01L21/762; H01L27/12
 - **european:** H01L21/683T; H01L21/762D8B; H01L21/762D8F; H01L21/78B2

Application number: JP20020581571T 20020411

Priority number (s): FR20010005129 20010413; WO2002FR01266 20020411

Also published as:

- JP 4540933 (B2)
- FR 2823596 (A1)
- US 2005029224 (A1)
- US 7713369 (B2)
- TW 577102 (B)
- more

Abstract not available for JP 2004535664 (A)

Abstract of correspondent: FR 2823596 (A1)

The preparation of a thin layer includes the production of an interface between a layer (13, 14) destined to make up a part of the thin layer and a substrate (11, 12). An interface is formed with at least a first zone (Z1) having a first level of mechanical strength and a second zone (Z2) having a second level of mechanical strength essentially greater than the first level of mechanical strength. An independent claim is also included for an assembly comprising a thin layer on a substrate connected by an interface incorporating two zones with different levels of mechanical strength.

Last updated: 26.04.2011 Worldwide Database 5.7.23.1; 92p



Espacenet

Bibliographic data: WO 02084721 (A2)

DETACHABLE SUBSTRATE OR DETACHABLE STRUCTURE AND METHOD FOR THE PRODUCTION THEREOF

Publication date: 2002-10-24

Inventor(s): ASPAR BERNARD [FR]; MORICEAU HUBERT [FR]; ZUSSY MARC [FR]; RAYSSAC OLIVIER [FR] +

Applicant(s): COMMISSARIAT ENERGIE ATOMIQUE [FR]; ASPAR BERNARD [FR]; MORICEAU HUBERT [FR]; ZUSSY MARC [FR]; RAYSSAC OLIVIER [FR] +

Classification:
 - **international:** H01L21/02; H01L21/68; H01L21/762; H01L21/78; H01L27/12; (IPC1-7): B32B31/00; H01L21/20; H01L21/265; H01L21/304; H01L21/306; H01L21/324; H01L21/68; H01L21/762; H01L21/78
 - **european:** H01L21/683T; H01L21/762D8B; H01L21/762D8F; H01L21/78B2

Application number: WO2002FR01266 20020411

Priority number(s): FR20010005129 20010413

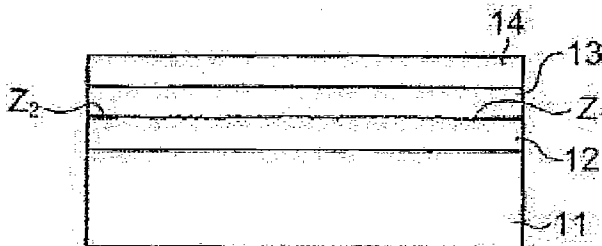
Also published as:

- WO 02084721 (A3)
- FR 2823596 (A1)
- US 2005029224 (A1)
- US 7713369 (B2)
- TW 577102 (B)
- JP 2010114456 (A)
- JP 2004535664 (A) ←
- EP 1378003 (A2)
- CN 1528009 (A)
- CN 100355025 (C)
- AU 2002304525 (A1)
- less

Cited documents: FR2771852 (A1) EP0938129 (A1) EP1059663 (A2) [View all](#)

Abstract of WO 02084721 (A2)

The invention relates to the preparation of a thin layer comprising a step in which an interface is created between a layer used to create said thin layer and a substrate, characterized in that said interface is made in such a way that it is provided with at least one first zone (Z1) which has a first level of mechanical strength, and a second zone (Z2) which has a level of mechanical strength which is substantially lower than that of the first zone. Said interface can be created by glueing surfaces which are prepared in a differentiated manner, by a layer which is buried and embrittled in a differentiated manner in said zones, or by an intermediate porous layer.



(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-535664

(P2004-535664A)

(43) 公表日 平成16年11月25日(2004.11.25)

(51) Int.Cl.⁷

F I

テーマコード(参考)

H O 1 L 27/12

H O 1 L 27/12

B

5 F 0 3 2

H O 1 L 21/02

H O 1 L 21/02

C

H O 1 L 21/762

H O 1 L 21/76

D

審査請求 未請求 予備審査請求 有 (全 99 頁)

(21) 出願番号 特願2002-581571(P2002-581571)
(86) (22) 出願日 平成14年4月11日(2002.4.11)
(85) 翻訳文提出日 平成15年10月10日(2003.10.10)
(86) 国際出願番号 PCT/FR2002/001266
(87) 国際公開番号 W02002/084721
(87) 国際公開日 平成14年10月24日(2002.10.24)
(31) 優先権主張番号 01/05129
(32) 優先日 平成13年4月13日(2001.4.13)
(33) 優先権主張国 フランス(FR)

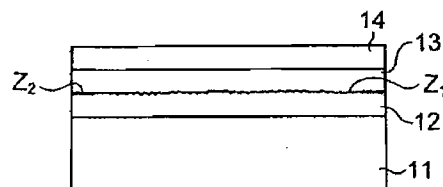
(71) 出願人 596048569
コミサリヤ・ア・レネルジ・アトミク
フランス国、75752・パリ・セデクス
・15、リュ・ドウ・ラ・フエデラシオン
・31-33
(74) 代理人 100062007
弁理士 川口 義雄
(74) 代理人 100113332
弁理士 一入 章夫
(74) 代理人 100114188
弁理士 小野 誠
(74) 代理人 100103920
弁理士 大崎 勝真
(74) 代理人 100124855
弁理士 坪倉 道明

最終頁に続く

(54) 【発明の名称】 剥離可能な基板または剥離可能な構造、およびそれらの製造方法

(57) 【要約】

本発明は、薄層の形成に使用される層と基板との間の界面を形成する工程を含む薄層形成方法に関し、この方法は、第1のレベルの機械的強度を有する少なくとも1つの第1の領域(Z_1)と、前記第1の領域よりも実質的に低いレベルの機械的強度を有する第2の領域(Z_2)とが提供されるように前記界面が形成され、前記第1の領域は前記第2の領域内に含まれることを特徴とする。前記界面は、異なる方法で処理された表面を、前記領域に異なる方法で埋め込まれ脆化する層、または中間多孔質層によって接合させることによって形成することができる。



【特許請求の範囲】

【請求項1】

少なくとも第1の領域 (Z_1 、 Z_1') が第1のレベルの機械的強度を有し、さらに第2の領域 (Z_2 、 Z_2') が前記第1のレベルの機械的強度よりも有意に大きな第2のレベルの機械的強度を有するように前記界面が形成され、前記第1の領域は前記第2の領域内に含まれることを特徴とする、薄層部分を形成することが意図される層と基板との間の界面を形成する工程を含む薄層形成方法。

【請求項2】

前記第2の領域が、前記第1の領域がコアを構成するウエハの周辺部を構成することを特徴とする、請求項1に記載の方法。

【請求項3】

前記第1の領域が複数のフラグメントに分割され、各フラグメントは第2の領域によって取り囲まれることを特徴とする、請求項1に記載の方法。

【請求項4】

前記基板の表面と前記層の表面との間に前記界面が形成され、前記界面を形成する前記工程が、前記表面の少なくとも1つを加工する工程と、分子接着接合によって前記表面を他の表面に接合させる接合工程とを含むことを特徴とする、請求項1から3のいずれか1項に記載の方法。

【請求項5】

前記界面を形成する前記工程が、前記基板の前記表面と前記層の前記表面とを加工する工程を含むことを特徴とする、請求項4に記載の方法。

【請求項6】

前記表面を加工する工程が、前記第1の領域において前記表面の粗さを局所的に増大させる処理工程を含むことを特徴とする、請求項4または5に記載の方法。

【請求項7】

前記処理工程が、前記第1の領域における前記表面を局所的に酸エッチングすることを含むことを特徴とする、請求項6に記載の方法。

【請求項8】

前記酸エッチングがフッ化水素酸を使用して実施され、前記第2の領域における前記表面は、エッチング後には除去される窒化物などの層によって前記エッチングから保護されることを特徴とする、請求項7に記載の方法。

【請求項9】

前記表面を加工する工程が、前記表面を全体的に粗面化させる工程と、より大きな接合力を得るために一部の粗さを増大させる工程とを含むことを特徴とする、請求項4または5に記載の方法。

【請求項10】

化学研磨、機械的処理、または化学的機械的処理、あるいはドライエッチングによって一部の粗さを低下させることを特徴とする、請求項9に記載の方法。

【請求項11】

前記界面を形成する前記工程が、出発基板の埋め込み層を脆弱化させる工程を含み、それによって少なくとも前記第1の領域が前記第2の領域よりも弱くなり、前記埋め込み層は、前記層を形成する部分と前記基板を形成する部分との間にあることを特徴とする、請求項1から3のいずれか1項に記載の方法。

【請求項12】

前記脆弱化させる工程が、少なくとも1種類の気体元素を注入する工程を含み、前記注入工程は、前記第1および第2の領域で別々に実施されることを特徴とする、請求項11に記載の方法。

【請求項13】

前記界面を形成する前記工程が、前記基板の表面層を多孔質にするよう適合させた処理工程を含み、前記処理工程は前記第1の領域が前記第2の領域よりも多孔質になるような方

法で実施され、続いて、前記多孔質層の上部に前記層が形成される被覆工程が実施されることを特徴とする、請求項1から3のいずれか1項に記載の方法。

【請求項14】

前記基板がシリコンであり、前記処理工程がフッ化水素酸媒体中の電気分解を含むことを特徴とする、請求項13に記載の方法。

【請求項15】

前記界面を形成する前記工程に続いて、前記層を前記基板から分離する工程が実施されることを特徴とする、請求項1から14のいずれか1項に記載の方法。

【請求項16】

前記界面を形成する前記工程の後で、前記第2の領域(Z_2')が前記フラグメントの前記周辺部に沿って延在するように前記第1の領域(Z_1')と前記第2の領域(Z_2')とを含む前記層の少なくとも1つのフラグメントを切断する工程が続き、可能であればこれに続いて、前記基板と前記層のリフトオフが行われる分離作業が実施されることを特徴とする、請求項15に記載の方法。

【請求項17】

前記界面を形成する前記工程と、前記分離工程との間に、前記第2の領域を前記第1の領域に対して切断する工程が存在することを特徴とする、請求項15または16に記載の方法。

【請求項18】

前記界面を形成する前記工程と、前記リフトオフ工程との間に、マイクロエレクトロニクス構成要素、光学的構成要素、または機械的構成要素の全体または一部を前記層中に形成する工程を含むことを特徴とする、請求項15から17のいずれか1項に記載の方法。

【請求項19】

より高い機械的強度の前記第2の領域で取り囲まれた低機械強度の前記第1の領域と対面するように各構成要素が形成されることを特徴とする、請求項18に記載の方法。

【請求項20】

前記界面を形成する前記工程と、前記分離工程との間に、前記層を第2の基板(16、16')に接合させる接合工程が存在することを特徴とする、請求項15から19のいずれか1項に記載の方法。

【請求項21】

前記接合工程が分子接着接合を含むことを特徴とする、請求項15に記載の方法。

【請求項22】

前記接合工程が接着接合を含むことを特徴とする、請求項15に記載の方法。

【請求項23】

前記接着接合がUV線によって硬化する接着剤を使用することを特徴とする、請求項17に記載の方法。

【請求項24】

前記リフトオフ工程が、酸エッチングと機械的応力の付与とによって実施されることを特徴とする、請求項15から18のいずれか1項に記載の方法。

【請求項25】

前記層がシリコンであることを特徴とする、請求項1から19のいずれか1項に記載の方法。

【請求項26】

少なくとも選択された第1の領域(Z_1 、 Z_1')が第1のレベルの機械的強度を有し、選択された第2の領域(Z_2 、 Z_2')が前記第1のレベルよりも有意に大きな第2のレベルの機械的強度を有する界面において、前記層(13+14、13'+14'、23)が前記基板(11+12、11'+12'、21)と接続し、前記第1の領域(Z_1 、 Z_1')は前記第2の領域(Z_2 、 Z_2')内に含まれる、基板上に層を有するアセンブリ。

【請求項27】

前記第2の領域が、前記第1の領域がコアを構成するウエハの周辺部を構成することを特徴とする、請求項26に記載のアセンブリ。

【請求項28】

前記第1の領域が複数のフラグメントに分割され、各フラグメントは第2の領域によって取り囲まれることを特徴とする、請求項26に記載のアセンブリ。

【請求項29】

前記第2の領域が前記フラグメントの前記周辺部に沿って延在するように、前記層中で切断されたフラグメントが前記第1の領域と前記第2の領域とを含むことを特徴とする、請求項26に記載のアセンブリ。

【請求項30】

前記層が、マイクロエレクトリック構成要素、光学的構成要素、または機械的構成要素の全体または一部を含むことを特徴とする、請求項26から29のいずれか1項に記載のアセンブリ。

【請求項31】

より高い機械的強度の前記第2の領域で取り囲まれた低機械強度の前記第1の領域と前記構成要素が対面することを特徴とする、請求項30に記載のアセンブリ。

【請求項32】

分子接着接合される前記基板の表面と、前記層の表面との間に前記界面が形成されることを特徴とする、請求項26から31のいずれか1項に記載のアセンブリ。

【請求項33】

前記界面の少なくとも1つの表面が、前記第2の領域よりも前記第1の領域で大きな粗さを有することを特徴とする、請求項26から32のいずれか1項に記載のアセンブリ。

【請求項34】

出発基板の埋め込み層によって前記界面が形成され、前記第1の領域は前記第2の領域よりも脆弱化されることを特徴とする、請求項26から31のいずれか1項に記載のアセンブリ。

【請求項35】

前記層と前記基板との間の多孔質層によって前記界面が形成され、前記層が前記第1および第2の領域で異なる多孔度を有することを特徴とする、請求項26から31のいずれか1項に記載のアセンブリ。

【請求項36】

前記層が第2の基板(16、16')とさらに接合することを特徴とする、請求項26から35のいずれか1項に記載のアセンブリ。

【請求項37】

前記第2の基板が分子接着接合されることを特徴とする、請求項36に記載のアセンブリ。

【請求項38】

前記第2の基板が接着接合されることを特徴とする、請求項36に記載のアセンブリ。

【請求項39】

前記接着接合がUV線によって硬化する接着剤を使用することを特徴とする、請求項38に記載のアセンブリ。

【請求項40】

前記層がシリコン製であることを特徴とする、請求項26から39のいずれか1項に記載のアセンブリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板上の薄層からの構成要素の製造と、この薄層／基板アセンブリの製造とに関する。この基板は、初期基板または中間基板であってよく、剥離可能となることができ、すなわち薄層からの分離に適合させることができる。

【背景技術】

【0002】

構成要素の製造に使用される支持体とは異なる支持体上に構成要素が集積される必要性が高まってきている。

【0003】

例えば、プラスチック材料基板上または可撓性基板上の構成要素を挙げることができる。構成要素とは、完全または部分的に「処理される」、すなわち完全または部分的に製造されるあらゆるマイクロエレクトロニクス、オプトエレクトロニクス、またはセンサ（例えば、化学的、機械的、熱的、生物学的、または生化学的なセンサ）のデバイスを意味する。

【0004】

可撓性支持体上に構成要素を集積するために、層を転写する方法を使用することができる。

【0005】

本来製造に不適当である支持体上に構成要素または層を集積するための好適な解決方法を層転写技術が提供しうる用途の他の例は多数存在する。同様の考え方で、層転写技術は、構成要素を有する場合も有さない場合もある薄層を、例えば後に分離または除去することによって、最初の基板から分離する必要がある場合にも非常に有用である。さらに同様の考え方で、薄層を剥離してこれを別の支持体に転写する方法は、他の方法では不可能となる構造を設計するために有用な自由度を技術者に提供する。薄膜のサンプリングおよび剥離は、通常の状態とは異なりコンデンサが最初に形成され、続いて別のシリコン基板上に転写されてから、新しい基板上に回路の残りの部分が製造されるダイナミック・ランダム・アクセス・メモリ（DRAM）の埋め込みコンデンサなどの埋め込み構造の形成に使用することができる。別の例はダブルゲート構造と呼ばれるトランジスタ構造の製造に関する。CMOSTランジスタの第1のゲートは従来技術を使用して基板上に形成され、続いてこれが剥離されて第2の基板に転写されて第2のゲートが形成されてトランジスタが完成し、これによって構造内に第1のゲートが埋め込まれた状態で残留する（たとえば、K. スズキ（Suzuki）、T. タナカ（Tanaka）、Y. トサカ（Tosaka）、H. ホリエ（Horie）およびT. スギイ（Sugii）、「高速かつ低出力のn+p+ダブルゲートSOICMOS」（High-speed and Low-Power n+p+ Double-Gate SOI CMOS）、IEICE Trans. Electron.、vol. E78-C、1995、360～367ページを参照されたい）。

【0006】

たとえば、W. スウォン（Wong）ら、Journal of Electronic MATERIALS、1409ページ、第28巻、第12号、1999、およびI. ポレンティエ（Pollentier）ら、1056ページ、SPIE Vol. 1361 新規オプトエレクトロニクスデバイス用途の物理的概念I（Physical Concepts of Materials for Novel Opto-electronic Device Applications I）（1990）の文献に報告されているように、最初の基板から薄層を分離する必要性は発光ダイオード（LED）の分野で遭遇している。ここでの目的の1つは、放出光の抽出制御を向上させることである。別の目的は、この特定の例において、電気絶縁性であるため裏面への電氣的接触の形成が妨害されるという理由でエピタキシャルスタックの製造に使用されるサファイア基板は後にかさ高くなるという事実と関連がある。材料の成長相に好都合となるので、後でサファイア基板を除去することができるようになることが望ましいと思われる。

【0007】

同様の状況は、例えば電気通信およびマイクロ波に関する用途の分野でも遭遇する。この状況では、通常少なくとも数 $k\Omega \cdot cm$ の高い抵抗率を有する支持体上に構成要素が最後に集積されることが好ましい。しかし、高抵抗率の基板は、通常使用される標準的な基板

と同じコストおよび同じ品質で使用できるとは限らない。シリコンの場合、標準的な抵抗率の200mmおよび300mmのシリコンウエハが利用できるが、 $1\text{ k}\Omega\cdot\text{cm}$ を超える抵抗率の場合、200mmサイズでの提供は非常にわずかであり300mmサイズは全く存在しない。解決法の1つは、標準的な基板上に構成要素を形成した後、最終工程中に構成要素を有する薄層をガラス、石英、サファイヤなどの絶縁性基板に転写することである。

【0008】

技術的な観点から、これらの転写作業の大きな利点は、構成要素が形成される層の性質と最終的な支持体層の性質との間の関係が重要ではなくなることであり、その結果多くの他の状況で好都合となる。

【0009】

構成要素の製造に好都合である基板が非常にコストが高いような状況も挙げることができる。たとえば、向上した性能（より高温での使用、最大出力および使用頻度の有意な向上など）が得られるが、シリコンと比較するとコストが非常に高い炭化ケイ素の場合、コストのかかる基板（この場合炭化ケイ素）の薄層を安価な基板（この場合シリコン）に転写し、コストのかかる基板は回収し、場合によっては再生作業の後で再利用すると好都合である。転写作業は、構成要素の製造前、製造中、または製造後に実施することができる。

【0010】

上記技術は、薄い基板を得ることが最終用途で重要となるすべての分野で好都合となりうることも分かる。特に、基板が薄い場合に熱の排出に関する理由のため、または場合によっては電流が流れる必要があるためのいずれかの場合の電力用途を挙げることができる。可撓性の理由で薄い基板が必要となるスマートカード用途も挙げることができる。これらの用途では、厚いまたは標準的な厚さの基板上に回路が形成され、このような基板は、第1に種々の工程段階における機械抵抗に優れ、第2にある製造装置で使用する場合の規格に適合するという利点を有する。次に、最終的シンニングが分離によって実施される。この分離は、別の支持体に転写することによって実施することができる。場合により、特にシンニングで目標とされる最終厚さが自立構造を形成するために十分である場合では、別の支持体への転写は不可欠ではない。

【0011】

ある支持体から別の支持体に層を転写するためには多数の方法を使用することができる。T. ハマグチ (Hamaguchi) ら、Proc. IEDM 1985、688ページによる1985年に開示された技術を例として上げることができる。これらの技術は、ある基板から別の基板にある層を転写することが可能となるので非常に有益であるが、必ず元の基板を消費し（工程中に破壊される）、停止層が存在しなければ薄膜の均一な転写は不可能である（すなわち基板材料中に不均一層が形成される）。

【0012】

当業者に公知の転写方法では、マイクロエレクトロニクス構成要素の全体または一部を含みうる材料の薄層の転写に使用することも可能である。これらの方法の一部は、1種類以上のガス状物質を導入することによって材料内に埋め込み脆弱層を形成することに基づいている。この主題に関しては、このような方法を開示している米国特許第5、374、564号（または欧州特許第533551号）、米国特許第6、020、252号（または欧州特許第807970号）、仏国特許第2767416号（または欧州特許第1010198号）、仏国特許第2748850号（または欧州特許第902843号）、および仏国特許第2773261号（または欧州特許第963598）を参照されたい。

【0013】

これらの方法は、薄膜全体を最初の基板から剥離して支持体上に転写する目的で一般に使用される。こうして得られた薄膜は、最初の基板の一部を含む場合もある。これらの薄膜は、電子または光学的構成要素の製造のための活性層として機能しうる。これらは、構成要素の一部または全体を含みうる。

【0014】

特に、これらの方法は分離後の基板を再利用することが可能であり、各サイクルで消費される基板は非常にわずかである。これは、移動する厚さは数 μm 以下であることが多いが、基板の厚さは数百 μm であることが多いためである。したがって、特に米国特許第6、020、252号（または欧州特許第807970号）に開示される方法の場合には、機械的応力によって「再実装可能な」（すなわち剥離可能な）基板と同様の基板を得ることができる。この特殊な方法は、最終転写の時点で切断される脆弱埋め込み領域を形成するための打ち込みに基づいている。

【0015】

「リフトオフ」法に基づく別の方法も最初の支持体の残りの部分から薄層を分離するが、この場合には支持体が必ずしも消費されるわけではない。この種の方法は、種々の支持体にIII族からV族の元素を転写するために非常に広範に使用されている（C. カンペリ（Camperi）ら）フォトンクス技術におけるIEEE会報（IEEE Transactions on photonics technology）、第3巻、12（1991）、1123を参照されたい）。P. デミースター（Demeester）ら、Semicond. Sci. Technol. 8（1993）、1124-1135の論文に説明されているように、通常はエピタキシャル成長工程後に実施される転写は、（それぞれ「後加工」または「前加工」による）構成要素の形成前または後に実施することができる。

【0016】

局所的に分離を行うために、基板の残りの部分よりも機械的強度が低い（あらかじめ存在する）埋め込み層を使用する方法の中では、エルトラン（ELTRAN）（登録商標）法を挙げることができる（特開平7-302889号）。この場合、単結晶シリコンを主成分とするスタックは、多孔質領域を形成することによって局所的に脆弱化される。他の場合にも一般的となりうる（すなわち任意の特定の剥離効果を追求しない場合に形成される）が、別の解決方法は絶縁体上シリコン（SOI）構造の場合に埋め込み酸化物の存在を利用することである。この構造が別の基板に十分強く接合し、この構造に大きな応力が加わる場合、酸化物に優先的に発生する制御できない局所的破損によって、基板全体の規模で切断作用が発生しうる。文献「PHILIPS Journal of Research」、第49巻、第1/2号、1995の53～55にこの例が示されている。残念ながら、この破損は制御が困難であり、これが生じるためには大きい機械的応力が必要であり、基板が破壊されたり構成要素が損傷したりする危険性はなくなる。

【0017】

このような埋め込み脆弱層法の利点は、均一性が非常に良好な数十Åから数 μm の範囲の厚さの結晶シリコン（またはSiC、InP、AsGa、LiNbO₃、LiTaO₃など）を主成分とする層を形成するためにこの方法を使用できることである。これを超える厚さも実現可能である。

【0018】

別の支持体または基板に後で層を転写可能となる剥離可能な構造を製造するためには、欧州特許第0702609 A1号に記載されるように層と基板の間の接合エネルギーを制御することが当業者には公知である。

【0019】

本発明者らは、剥離可能な基板を製造するために、薄層と、後に薄層が剥離される基板とを一時的に互いに組み合わせるための「剥離」表面で存在する接合力の制御を含む方法を使用することも可能であることも発見した。接合が分子接着によって得られるような状況は特に好都合である。分子接合によって得られるアセンブリの分類の中では、これらの接合技術によって得られる絶縁体上シリコン（SOI）基板は特に有用な分類となる。この分類は多数の変形を含んでおり、これらの原理は、書籍「半導体ウエハ接合科学技術」（Semiconductor Wafer Bonding, Science and Technology）、Q.-Y. トン（Tong）およびU. ゴーセル（Gosel）、ワイリー・インターサイエンス・パブリケーションズ（Wiley Inters

science Publications)、ジョン・ワイリー・アンド・サンズ(John Wiley & Sons, Inc)に記載されている。ある変形は、接合SOI(BSOI)、または接合およびエッチバックSOI(BESOI)として知られている。分子接着を含む接合以外に、これらの変形は、研磨技術および/または化学エッチング技術によって最初の基板を物理的に除去することに基づいている。層転写技術で部分的に前述した他の変形は、分子接着による接合に加えて、米国特許第5,374,564号(または欧州特許第533551号)および米国特許第6,020,252号(または欧州特許第807970号)(打ち込まれた領域に沿った分離)、または欧州特許第0925888号(多孔質にした埋め込み層に沿って破壊することによる分離)に記載される方法などによって脆弱化された領域に沿って「切削」による分離に基づいている。厳密にはどの技術が使用されても、これらの変形の胸中の特徴は、分子接合を使用することであり、文献で見いだされたほとんどの場合では接触する表面にシリコン(Si)または酸化ケイ素(SiO_2)を有する2つの基板の間の分子接合を使用している。その他の材料が使用されていることもある(窒化物、ケイ化物など)。

【0020】

剥離不可能なSOI構造が得られる場合は、通常 1 J/m^2 から 2 J/m^2 の高い接合エネルギーを得るための表面処理作業が最後に実施されることが意図されており、多くの場合は接合後にアニールも使用される。従来、 $\text{SiO}_2/\text{SiO}_2$ 接合の場合の標準的な製造作業では、構造の接合エネルギーは室温で 100 mJ/m^2 程度になり、 400°C で30分間アニールした後で 500 mJ/m^2 となる(マザラ(Maszara)の開発したブレード法で結合エネルギーを測定した(マザラ(Maszara)ら、J Appl. Phys., 64(10)、4943ページ、1988)を参照されたい)。この構造を高温(1100°C)でアニールすると、その接合エネルギーは一般に 2 J/m^2 程度になる(C. マレビル(Maleville)ら、半導体ウエハ接合、科学技術および応用IV(Semiconductor wafer bonding, Science Technology and Application IV)、PV 97-36、46、電気化学学会会報シリーズ(The Electrochemical Society Proceedings Series)、ニュージャージー州ベントン(Pennington, NJ)(1998))。接合させる表面にプラズマ(例えば酸素プラズマ)に曝露するなどの接合前の他の処理方法も存在し、常にこのようなアニールを必要としなくても同等の接合エネルギーを得ることができる(YA、リー(Li)およびR. W. バウアー(Bower)、Jpn. J: Appl. Phys., 第37巻、737ページ、1998)。

【0021】

上記とは対照的に、本発明者らは剥離可能なSOI構造を意図している。表面の親水性および粗さを調整することによって異なる機械的強度を得られることが分かった。たとえば、O. レイサック(Raysac)らの論文(第2回マイクロエレクトロニクス材料国際会議、IOMコミュニケーションズ(Proceedings of the 2nd International Conference on Materials for Microelectronics, IOM Communications)、183ページ、1998)に示されるように、フッ化水素酸エッチングは酸化ケイ素層の粗さを増加させる。この論文は、 8000 \AA エッチングによってRMS粗さが約 0.1 nm から 0.625 nm まで増大させる方法を記載している。対面する表面のRMS粗さが 0.625 nm および 0.625 nm である $\text{SiO}_2/\text{SiO}_2$ 接合は、 1100°C におけるアニールの後に 500 mJ/m^2 程度の最大接合エネルギー値が得られることが確認されている、すなわち前述の標準的な状態よりもはるかに低い値である。本発明者らはこの場合に、粗面化によって、 1100°C までの高温でアニールした後でさえも剥離可能な接合界面が得られることを発見した。接合前の粗面化処理と好適な熱アニーリング処理を慎重に組み合わせることによって、剥離可能なSOI基板が、アセンブリ界面における早期の剥離が起これずに、CMOSトランジスタ製造工程のほとんどの工程(高温、通常は

1100℃における特定の熱処理、ならびに窒化物層などの強制的な層の付着工程を含む)に耐えることができ、制御された機械的応力を意図的に加えることによって、接合界面で後に分離可能であることが分かった。

【発明の開示】

【発明が解決しようとする課題】

【0022】

(本発明による技術的問題および解決方法)

層間剥離は、多層構造の分野、特にマイクロエレクトロニクス構成要素、センサなどの製造技術分野でよく知られている問題である。これは、構成要素の製造、付着および/またはエピタキシャル成長工程に必要な熱処理、化学処理(フッ化水素エッチングなど)、材料を除去するための機械的および/または物理的作業(研磨など)、ならびに不均一スタックの製造中に発生する機械的応力によって、層縁端部での剥離、または構造の縁端部でのリフトオフが発生することが多いからである。たとえばSOIの場合では、Si表面の脱酸素に使用される多くのフッ化水素処理が、場合によっては埋め込み酸化物の重要なオーバーエッチングを引き起こすことがあり、それによってウエハ縁端部で表面層が脆弱化しうる。

【0023】

中間層または脆弱界面(物質の打ち込み、多孔質領域の形成、接合エネルギーの調整などのいずれかによる脆弱化による)を形成することによって剥離可能な基板を製造することに基づく層転写技術(構成要素を有するまたは有さない)では、意図的な分離の前の加工が過酷すぎるとタイミングのずれた層間剥離と関連する問題に直面する。亀裂は、構成要素の全体または一部の製造工程中に縁端部で意図せず発生することがあり、歩留りを低下させる。遠端部で薄膜が剥離することによって活性薄膜の表面積が減少すること以外に、これらの問題はウエハの粒子上汚染物質の増加を引き起こすことがあり、そのため構成要素の製造の歩留まりが大きく低下し、使用するプラントが汚染される(特に加熱炉)。

【課題を解決するための手段】

【0024】

本発明の一目的は、所望の時点で容易に分離することと、必要であれば、マイクロエレクトロニクス構成要素、光学的構成要素、または音響的構成要素、あるいはセンサの全体または一部の製造、あるいはエピタキシャル成長工程に必要な熱または機械的処理に対して、早期の分離または層間剥離を生じずに耐えられることを確実に兼ね備える層/基板界面によって前述の欠点を軽減することである。

【0025】

より一般的には、本発明は、基板上の薄層を含む組み合わせで構成され、制御されたレベルの機械的強度を有する界面または中間層によって前記層が前記基板に接続される。

【0026】

この目的のため、第1に、薄層と基板との間に界面または中間層を形成する工程を含む薄層の形成方法を提案し、この方法は、第1のレベルの機械的強度を有する第1の領域と、第1のレベルよりも有意に大きな第2のレベルの機械的強度を有する少なくとも1つの第2の領域とを有するように前記界面が形成されることを特徴とする。

【0027】

言い換えると、本発明は、ある領域の機械的強度が他の領域よりも大きい埋め込み構造(界面または層)を有する構造を形成する方法を提案する。したがって、界面(または中間層)は必要条件に応じて最適化することができ、意図される加工を界面に対して実施することができる。

【0028】

本明細書全体で、表現「機械的強度」は、「材料の強度」の意味における機械的強度を意味するが、より一般的には、純粋な機械的応力(牽引、曲げ、圧縮、ねじれなど)、熱処理中、または薬品による腐食中、ならびにすべての可能性のある組み合わせのいずれかに対する応答としての、連続または不連続な媒体(層間剥離などが生じうる界面やスタック

など)の破壊または分離に対する感受性を意味しうる。

【0029】

前述の特定の問題の場合には、早期ではなく正確な時点で層からの基板の剥離が必要な場合、より低い機械的強度を有する第1の領域は、第2の領域内部に含まれる領域である。

【0030】

ウエハの規模で薄層全体が転写される場合、機械的強度が最大の領域は好ましくはリングであり(円形の基板の場合には環状の輪)、その幅は数百 μm から数 mm を変動することができ、場合によっては1 cm 程度となりうる。したがって、このリングは、コアがより低い機械的強度を有する円形、正方形、多角形、またはその他の形状の周辺部となりうる。

【0031】

薄層部分の高さで分離する状況では(ダイごと、構成要素ごと、またはダイのセットおよびサブセットなど)、前記層の形成は、前記層の少なくとも1つのフラグメントが基板から分離され、前記第2の領域が前記フラグメントのの輪郭にそって延在する工程を含むことが好ましい。したがって、第1の領域はフラグメント化されることができ、機械的強度のより大きな領域で各フラグメントは取り囲まれる。

【0032】

したがって、薄層と基板との間に形成される界面または中間層は、周辺部よりも中央部分が機械的に弱い。このため、早期の層間剥離の危険性が大きく軽減される。

【0033】

前記界面または埋め込み層は種々の形態をとりうる。特に、
- 接合界面(接着剤を有するまたは有さない、例えば分子接着で接合する)、中間層(酸化物、窒化物)を有するまたは有さない、
- 微小空隙層(および/または微小気泡および/または小板)、より一般的には欠陥を有する層、
- 基板や層とは異なる性質を有する中間層、例えば多孔質シリコン層、機械的強度や、化学エッチング(化学的および機械的)に対する感受性などに関して差が生じうる、
- 選択的的化学エッチングが起こるように意図された異なる化学組成の中間層、
のように規定することができる。

【0034】

より高いまたはより低い機械的強度で接続する領域の差、またはその他の種類の接続による差は、
- 接合界面の場合には、得られる接続エネルギー、たとえば、接合前の異なる処理(粗さ、異なる親水性、化学的な表面接続状態など)および/または特に接合のための接触の後での熱処理の差、
- 微小空隙層の場合には、第2の領域における打ち込み量の減少、または第1の領域における優先的な微小割れの成長、
- 多孔質層の場合、第1の領域で多孔度がより高くなるような多孔度の調整、
- 選択的的化学エッチングが起こるように意図された異なる化学組成の中間層の場合、化学エッチングの感受性のあらゆる変動に関して直接影響するドーピングの差、または半導体物質の組成の比率の差などであってもよい化学組成の変動、
によって生じさせることができる。

【0035】

より正確に述べると、本発明の好ましい特徴による2つの領域のみが存在する状況では、次のものの組み合わせが可能である(この場合、第2の領域が第1の領域を取り囲む)。

【0036】

界面を形成する工程の後、前記第2の領域が前記フラグメントの周辺部に沿って存在するように、前記第1の領域と前記第2の領域とを含む層のフラグメントを分離する工程が実施され、続いて、基板と薄層とがリフトオフされる分離作業が行われ、場合によってはこのリフトオフ工程の前に、第1の領域に対して第2の領域を物理的に範囲を画定する工

程を行うと好都合となる場合があり、たとえば、部分的または全体的な切削後、全体的または部分的な化学エッチング、全体的または部分的な機械的破壊によって範囲を画定する。

【0037】

・基板の表面と層の表面との間に界面が形成され、界面を形成する工程は、これらの表面の少なくとも1つを形成する工程と、分子接着接合によって前記表面を他の表面に接合させる接合工程とを含み、界面を形成する工程は、基板および層の表面のそれぞれについて形成する工程を含むことが好ましく好都合である。表面形成工程は、たとえば前記第1の領域の前記表面の親水性が低くなるか粗さが局所的に増加する処理工程を含むことが好ましく、これはたとえば、この第1の領域の方面の局所的酸エッチングによって実施され、より正確に説明すると、少なくとも1つの表面が酸化物層を含み、フッ化水素酸を使用して酸エッチングが実施されるとさらに好ましく、この第2の領域の表面は、後に除去される保護（例えば窒化物）層によって塩基エッチングから保護される。別の変法では、2つのウエハの少なくとも一方の表面は全体的に粗面化され、続いて接合力をより強くするためにある部分の粗さが増大するように実質的に改質され、この改質には化学研磨処理、機械的処理または化学的機械的処理、またはイオン処理、あるいはドライエッチングが使用される。

【0038】

・表面を加工し粗さを制御するために、特に表面のうちの1つが酸化物である場合には、フッ化水素酸を使用する部分的酸エッチングを実施することができる。

【0039】

・界面を形成する工程は、出発基板の埋め込み層を脆弱化させる工程を含み、それによって少なくとも第1の領域が第2の領域よりも弱くなり、前記埋め込み層は、前記層を形成する部分と前記基板を形成する部分との間にある。好ましくは脆弱化させる工程は、少なくとも1種類の元素、好ましくは気体を注入する工程を含み、注入工程は、第1および第2の領域で別々の方法で実施される。

【0040】

・界面または中間層を形成する工程は、基板の表面層を多孔質にするよう適合させた処理工程を含み、この処理工程は第1の領域と第2の領域で異なる方法で実施され、続いて、前記多孔質層の上部に層が形成される被覆工程が実施される。基材がシリコンである特殊な場合には、この処理工程がフッ化水素酸媒体中の電気分解を含むと好都合である。

【0041】

・接合する粗面化表面、多孔質材料、埋め込み欠陥、気体、またはその他の微小空隙のいずれが問題になるかによって、界面または接続層の機械的および／または化学的強度は、別の領域と比較してある領域を選択的に強化または選択的に脆弱化するために不均一な熱処理によって調整される。

【0042】

・界面を形成する工程の後で、層を基板から分離する工程が実施される。界面を形成する工程と、リフトオフ工程との間に、層を第2の基板に接合する接合工程が実施されると好都合である。前記接合工程は好都合には、分子接着接合または接着接合からなり、後者の場合にはUVによって硬化する接着剤、またはポリマー接着剤などが使用される。これらの場合、分離工程は好都合には、酸エッチングおよび／または機械的応力の付与によって実施される。

【0043】

前記層は、半導体材料（Si、Ge、SiGe、SiC、GaN、および他の同等の窒化物、AsGa、InPなど）、あるいは強誘電材料または圧電材料（LiNbO₃、LiNbO₃）、あるいは処理済みまたは未処理の磁性材料である。

【0044】

・分離可能な基板上の薄層は、最初の半導体材料基板のシニングによって得た。

【0045】

・シニングは、機械加工および／または化学的機械的研磨またはその他の研磨および／または化学エッチングによって実施される。

【0046】

・分離可能な基板上の薄層は、最初の半導体材料基板を切削することによって得た。

【0047】

・切削は、埋め込み脆弱層の高さで切削することによって行われる。

【0048】

・埋め込み脆弱層は打ち込みによって得られ、分離は熱処理および／または機械的処理および／または化学処理によって実施される。

【0049】

・打ち込まれる物質はガス（水素、ヘリウムなど）である。

【0050】

製品に関して、本発明は、基板上に層を含むアセンブリを提案し、少なくとも第1の選択された領域が第1のレベルの機械的強度を有し、第2の選択された領域が第1のレベルよりも有意に高いレベルの機械的強度を有する界面によって前記層が前記基板と接続され、第2の領域は第1の領域を取り囲む。

【0051】

好ましい特徴によると、以下のものの組み合わせが可能である。

【0052】

・フラグメントは、前記第2の領域が前記フラグメントの周囲部に沿って延在するように、前記第1の領域と前記第2の領域とを有する前記層中で完全または部分的に範囲が画定される（切削、エッチングなどによって）。

【0053】

・界面は、基板の表面と層の表面との間に形成され、分子接着によって接合される。界面の少なくとも1つの表面は、前記第2の領域の方が第1の領域よりも粗さが低い。

【0054】

・界面は、最初の基板の埋め込み層によって形成され、第1の領域は第2の領域よりも脆弱化される。

【0055】

・界面は、前記層と前記基板との間の多孔質層によって形成され、前記層は前記第1および第2の領域の間で異なる多孔度を有する。

【0056】

・前記層は、好都合には分子接着接合、またはUV線によって硬化する接着剤などを使用する接着接合によって第2の基板とさらに接合される。

【0057】

・接合する粗面化表面、多孔質材料、埋め込み欠陥、気体または非気体の微小空隙のいずれが問題になるかによって、界面または接続層の機械的および／または化学的強度は、別の領域と比較してある領域を選択的に強化または選択的に脆弱化するために、局在かまたは不均一な処理（熱処理、UV曝露処理、レーザー照射処理など）によって選択的に調整される。

【0058】

・前記層は、「加工」された、またはされていない半導体材料（Si、Ge、SiGe、SiC、GaN、および他の同等の窒化物、AsGa、InPなど）、あるいは強誘電材料または圧電材料（LiNbO₃、LiNbO₃）、あるいは磁性材料または超伝導材料（YBaCuO、NbNなど）である。

【0059】

本発明の目的、特徴、および利点は、非限定的な代表例によって提供される以下の説明および添付の図面を参照することによって明らかとなる。

【発明を実施するための最良の形態】

【0060】

(1-分子接着接合界面)

詳細な説明のために選択された好ましい実施例は、直径200mmなどの円形基板の形態で多くの場合入手可能なシリコンに主として関連している。これらの方法は、非限定的な方法で本発明の範囲から逸脱せずに、特にシリコン以外の材料を特徴とする他の系に容易に移行される。

【0061】

本発明による一部の実施形態は、全体の高さ、すなわち基板全体の規模で基板のリフトオフを促進する傾向にあるが、他の方法では範囲が画定されたフラグメントでリフトオフされる傾向にある。

【0062】

前者の場合に製造されるアセンブリが図1および2に概略的に示されており、図2に概略的に示される界面または中間層は、局所的な接合の差が生じる領域を示している。これらの図以外に、特に図3は、本発明により機械的強度が異なる2つの領域を有する界面に関与することを意図した表面の加工の例を示している。より正確に言うと、図に示される例では、その目的は、中央領域の周囲の領域 Z_2 の機械的強度 E_2 よりも小さい機械的強度 E_1 を有する中央領域 Z_1 を得ることである。

【0063】

周囲領域 Z_2 の接合エネルギーが中央領域 Z_1 よりも高くなるようにするためには、種々の方法を使用することができる。 $\text{SiO}_2/\text{SiO}_2$ 接合および Si/SiO_2 接合の例が考慮される。異なる種類の層の場合(Si_3N_4 は別の従来の例であるが、ケイ化物も存在する)、後述の方法から類推して、好適な化学処理(例えば Si の場合の $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ (SC1とも呼ばれる)であり、 Si_3N_4 の場合には H_3PO_4 または HF である)を使用すれば十分である。図4は、基板11と薄層14とが単結晶シリコンであり、2つの中間層12および13はそれぞれ基板11および薄層14に接合される前に形成される例を示している。当然ながら、2つの中間層12または13のうち1つだけ存在すれば十分となりうるし、どちらも存在しない場合(すなわち Si/Si 接合の場合)も考慮する必要がある(すなわち2つの特殊な場合が存在する)。中間層12および13が存在しどちらも SiO_2 である場合、この系を $\text{SiO}_2/\text{SiO}_2$ 接合と呼ぶ。2つの中間層のうち1つのみが存在しその層が SiO_2 からなる場合、その系を Si/SiO_2 接合と呼ぶ。

【0064】

分子接着接合に関する特定の態様以外に、図4に示されるような構造の形には多数の方法を使用可能であり、そのような方法としては、剥離不可能なSOI基板の製造の場合に前述した方法(半導体ウエハ接合科学技術(Semiconductor Wafer Bonding, Science and Technology)、Q. Y. トン(Tong)およびU. ゴーセル(Gosele)、ワイリー・インターサイエンス・パブリケーションズ(Wiley Interscience Publications)を参照されたい)が挙げられる。以降、層14を活性層と呼び、別にエピタキシャル層などが層14上に付着する特殊な場合を除けばこの層は構成要素を含む層である。本発明ある変形では、化学的および/または機械的な構造のシニングによって薄層が得られる。これらの変形は、接合SOI(BSOI)、ならびに接合およびエッチバックSOI(BESO I)として知られている。分子接着接合に加えて、これらの変形は、研磨技術および/または化学エッチング技術によって最初の基板を物理的に除去することに基づいている。層転写技術で部分的に前述した他の変形は、分子接着接合に加えて、米国特許第5,374,564号(または欧州特許第533551号)および米国特許第6,020,252号(または欧州特許第807970号)に記載される方法のような脆弱化領域に沿った「切削」または分裂による分離、打ち込まれた領域に沿った分離、または欧州特許第0925888号の方法、多孔質となった埋め込み層に沿って破壊することによる分離に基づいている。

【0065】

$\text{SiO}_2/\text{SiO}_2$ (またはさらに Si/SiO_2) 接合の場合の、分離可能な基板の製造の場合の接合に関する特定の態様に関して、酸化ケイ素 SiO_2 層のリング12および/または13のみの上の窒化ケイ素 Si_3N_4 などの保護層を付着させるために最初に一時的マスクを使用することができる。酸化物層は数種類の方法(付着、シリコンの熱酸化)によって形成可能であり、用途に応じて異なる厚さを有することができる。この例では、厚さ $1\mu\text{m}$ の熱酸化物が選択される。たとえば、中央ディスク表面は酸化物のみで形成され、外部リング(通常は幅が数mm)の表面は別の保護層(例えば窒化物)で覆われた酸化物で形成される構造が得られる。

【0066】

これに続いて、酸化物表面を粗面化するためのフッ化水素酸エッチングが行われ、この粗面化は除去される酸化物の厚さを増加させるために必要である。それぞれの用途で、特に、層間剥離が起こらないことが必要な構成要素の製造方法(エピタキシャル成長方法)、および最終的な剥離に適合した方法に依存して粗さを最適化させることができる。通常、数百Åから数千Å程度の厚さの酸化物を除去するフッ化水素酸エッチングが最初のよい妥協点となる。1000Å程度の厚さの窒化物は下にある酸化物をフッ化水素酸エッチングから保護し、酸化物層12および/または13の中央領域の粗さを増大させる。窒化物は、熱($>110^\circ\text{C}$) オルトリン酸(H_3PO_4) などでエッチングすることによって後に除去される。これは、領域 Z_1 および Z_2 の間で異なる親水性を得るための選択的な湿式または乾式洗浄を併用することができる。これによって得られる効果は、中央で標準的な接合よりも弱い接合が得られ、リングの位置で標準的な接合と同じ接合が得られることである。

【0067】

除去される酸化が厚い場合、特に用途によってそのような厚さ(特に数千Åの範囲、多くの場合5000Åが最初のよい妥協点となる)が必要な場合、局所的に粗さを増大させることが要求されるだけでなく、中央領域(フッ化水素酸でエッチングされている)およびリング(このエッチングからは保護されている)の間にある差が生じることも必要である。リングで非常に高品質の接合が得られ、さらに中央領域で十分な品質の接合が得られるようにするためには、場合によっては差をなくすまたは軽減することが必要となりうる。このためには研磨(例えば化学的機械的研磨)を使用すると適切となりうる。差が存在するため、マイクロエレクトロニクス分野の当業者には公知である平坦化作用によって、本来は均一である研磨によって、出現領域、すなわち本発明のリングの領域が優先的に研磨される。しかし、研磨は、リングに意図的に局在化させることもできる。基板が円形の場合、例えば中央に開口部を有する研磨クロスを使用するとリングを優先的に研磨することができ、それによって、フッ化水素酸エッチングが行われた中央領域の高さまでリングの高さを下げることができる。さらに、研磨によって、従来の分子接着接合(研磨は実施せず)の場合よりも高い接合エネルギーが得られることが知られている。したがって、これによって2つの作用が組み合わされ、中央で標準的な接合よりも弱い接合が得られ、リングの位置ではより強い接合が得られる。この組み合わせは、図3に示される別の特殊な例である。リングの高さを中央の高さまで下げる別の方法は、局所的なウェットエッチングまたはドライエッチングである。

【0068】

この変形では、中間層12および/または13の全体が粗面化され、すなわちリングは保護されないが、接合強度が有意に増加する局所的な処理がリングに実施される。このような処理としては、たとえば、流動効果によって酸化物の表面の粗さを復元および減少させる目的での酸素プラズマや局所的アニールリングの使用や、あるいはアセンブリの凝集性を増加させるための当業者に公知のあらゆる他の処理が挙げられる。これらの処理は、逃げが全く生じないので好都合である。

【0069】

別の方法は、接合作業後の局所的熱アニール(レーザービーム、不均一加熱炉、ランプによる加熱など)の使用に関する。C. マレビル(Maleville)ら、半導体ウエハ

接合、科学技術および応用IV (Semiconductor wafer bonding, Science Technology and Application IV)、PV 97-36、46、電気化学学会会報シリーズ (The Electrochemical Society Proceedings Series)、ニュージャージー州ペンントン (Pennington, NJ) (1998) の報告によると、接合後の100℃のアニール温度差では、接合エネルギーを有意に向上することがあり、特に800℃を超える温度範囲で向上が起こりうる。この変法は、少なくとも1つの中間層12または13の粗面化と併用したり、あるいは単独で実施したり (すなわち粗面化工程は全く実施しない) することができる。非常に特殊な例では、本発明を限定するものと見なすわけでは決していないが、 $\text{SiO}_2/\text{SiO}_2$ 接合について1000℃で構造全体のアニールが行われ、リングは選択的に1200℃まで加熱される。別の方法では1000℃の温度でのリング全体のアニールは行わない。この選択的なアニール法では、熱伝導現象と、完全な選択性で局所的に加熱する装置を製造するのが困難であることが理由で、局所的加熱では入熱勾配が生じうることを理解されたい。この場合、アニール温度は、基板の縁端部で最高となり、基板中央に近づくると低下すると見なすことができる。

【0070】

分離可能な基板を製造する方法の別の変法は、領域 Z_1 と領域 Z_2 の間の化学的性質の差に基づいている非網羅的な例として、 $Z_1 = \text{SiO}_2$ と $Z_2 = \text{Si}$ 、 $Z_1 = \text{Si}_3\text{N}_4$ と $Z_2 = \text{SiO}_2$ 、 $Z_1 = \text{Si}_3\text{N}_4$ と $Z_2 = \text{Si}$ などの組を挙げることができる。 $Z_1 = \text{SiO}_2$ と $Z_2 = \text{Si}$ の組のみ本明細書で説明する。

【0071】

図5に示されるように、幅数mmの保護リング (樹脂、付着PECVDなど) がシリコン基板上に付着され、領域 Z_2 の大きさが画定される。

【0072】

この構造は次にエッチングが行われ (ウェットまたはドライ、シリコンのエッチングに従来使用されているあらゆる方法で)、それによって保護されていない領域のみがエッチングされる。機械的作用 (粉砕、研磨など) も考慮することができ、その場合にはその構造および/または大きさの工具を使用して中央のみが機械加工される。上記の場合では、保護層を付着させる作業はもはや不可欠ではない。使用される方法とは無関係に (保護リングを除去する工程を含む場合がある)、図6に示すように中央にくぼみを有するシリコンウエハが得られる。

【0073】

これによって、領域 Z_1 (くぼみを有するディスク) および領域 Z_2 (外部リング) の位置が画定される。

【0074】

くぼみが形成された基板上にCVD法によって酸化物を付着させる。付着した酸化物の層の厚さは、くぼみの深さよりもはるかに大きく、図7に示す構造が得られる。

【0075】

研磨による平坦化によって、リングと構造中央の高さの差がなくなり、さらにこの種の付着に固有の大きな粗さもなくなる (図8参照)。次にフッ化水素酸エッチングによって図9に示す構造が得られる。この場合、シリコンがリングと面一になる時点でフッ化水素酸エッチングを終了する。これによって、「シリコンリングと中央の粗面化酸化物」の構造が形成され、領域 Z_1 と Z_2 の間にエネルギー差が生じ、その第1の理由はこれら2つの領域は異なる粗さを有するからであり、第2の理由は材料の性質が異なるからである (異なる分子接着接合特性)。

【0076】

領域 Z_1 および Z_2 の間に必要なエネルギー差に応じて、「シリコンリングおよび中央の非粗面化酸化物」の構造が得られるように上記一連の工程を修正することができる。この目的のために、例えばフッ化水素酸エッチング工程を省略することができ、シリコンリングの研磨によって面一の表面が得られるように先の研磨工程を延長することができる。この

場合、領域 Z_1 および Z_2 の間のエネルギー差は、材料の性質の差によって実質的に決定される。この場合、この差はより小さくなる。

【0077】

くぼみおよび酸化物の付着物については基板11上に形成する場合で前述している(図10の構造は接合後に得られる)。ある変法では、薄層14の一面(図12参照)、場合によっては両面(図11参照)でこれらの作業を実施する。

【0078】

機械的強度に差が生じるうる材料に関する方法は、少数の追加工程を含みうる。たとえば、 $Z_1 = \text{Si}_3\text{N}_4$ と $Z_2 = \text{SiO}_2$ の組を得ることが目的の場合は、酸化物に加えて Si_3N_4 を付着させる必要があり、従来のマスキング技術(フォトリソグラフィ、機械的方法など)を使用して構造全体を形成するために必要なリングの画定が行われる。この構造は、優れた化学エッチング(例えばフッ化水素酸エッチング)に対して対象となる2種類の材料の間で選択的となるという利点を有し、このため化学エッチングによって容易かつ選択的にリングが除去されるので分離が容易になりうる。

【0079】

他の構造としては例えば以下のものが可能である。

【0080】

—図13は図11の変形であり、中央の層は基板中と薄層中とで同じ寸法ではない。

【0081】

—図14は、基板と薄層との間の界面層が、周囲部分 Z_2 の材料(SiO_2)とは異なる材料(Si_3N_4)の中央部分 Z_1 を有するアセンブリを示しており、これら2つの部分の材料は基板や薄層(この場合 Si)とは異なる材料である。

【0082】

—図15は図10の変形であり、支持体とは異なる材料の複数の領域 Z_1 が存在する。

【0083】

—図16は図14の変形であり、基板および薄層の材料(この場合 Si)とは異なる材料(この場合 Si_3N_4 および SiO_2)の複数の領域 Z_1 と複数の領域 Z_2 とが存在する。

【0084】

図15および16は、図17および18が例示する複数の形状(ダイの高さなどで)に対応しうる。

【0085】

—図17は、複数の同心の帯 Z_1 または Z_2 を有する構造を示している。

【0086】

—図18は、ある種類の領域(ここでは Z_1)の配列(行と列で構成される)が別の種類の領域(Z_2)全体の中に存在する構造を示している。

【0087】

分離可能な基板自体の製造以外に、分子接合に基づいた技術を使用して、その使用およびその実施に関するいくつかの手段が存在する。

【0088】

未処理活性層または処理済み活性層の厚さ(すなわち構成要素のすべてまたは一部を形成するために処理した場合の厚さ)に依存するが、分離可能な基板の利点は、自立層(製造時に分離可能な基板中にすでにその厚さが存在するか、あるいはエピタキシャル成長工程の場合のように製造後の付着工程中にその厚さが得られるかのいずれかによる比較的厚い層)、または一般により薄く目標支持体上に転写される表面層のいずれかを得るために活性層の分離を実施できることであり、後者の支持体は最終支持体であるか、それ自体の剥離が意図された単なる一時的支持体であるかのいずれかである。

【0089】

種々の方法によって表面層が目標基板に転写される。

【0090】

最初に、転写は、別の基板に転写されるべき薄層となる層の分子接着結合によって実施することができる。

【0091】

例として、本明細書では第2のSOI構造と呼ぶ新しいSOI構造を形成する場合の分離方法を以下に説明する。この種の方法は、前述の方法よりも直接的ではないが、多数の利点を有する。ここで選択される例は、この種の方法を直接使用して実現するのは困難な厚さである厚さ500Åの埋め込み酸化物層を有する第2のSOIの形成に関する。

【0092】

第1の構造は、図4に対応する分離可能な基板を作製するための前述の方法の1つによって得られる。この例では、単結晶シリコン層14が活性層になる。連接する層の中央領域が接合前に粗面化されており、非常に高温（好ましくは1100℃未満であり、より好ましくは1000℃未満であり、さらには900℃未満である）における強化熱処理が実施されていないこの分離可能な基板の上に、熱酸化によって500Åの酸化物層16が形成されて、図20に示される構造が得られる。この酸化物は、第2のSOI構造の埋め込み酸化物になる。この例では、分離可能な基板（11+12+13+14+15）は、活性層の最終支持体となるシリコン基板16に分子接着接合される（図2参照）。得られるスタックは、層15および16の界面における第2の接合を強固にするために高温（1100℃）で安定化させることが好ましい。機械的強度が異なる領域の間に差が存在しないという意味で、この第2の接合は従来の意味を有する。しかし、同じ処理が実施される場合でも、第1の接合は、少なくとも領域Z₁に相当する中央部分で第2の接合よりも機械的強度が低い。化学的および/または機械的分離方法を使用することができる。たとえば、上記のようにして得られたスタックは最初にフッ化水素酸浴に浸漬されるが、その一目的はアSEMBリの端部の方から酸化物層12および13にオーバーエッチングを生じさせて、領域Z₂に対応するリングをなくし領域Z₁まで到達することである。2つの界面12/13および15/16が優先的にエッチングされる。さらに、分離可能な基板の界面12/13は好都合には酸化物/酸化物界面である。したがって、酸化物とシリコンとの間の界面15/16よりも容易にエッチングが進行する。したがって、機械的強度のより高いリングのこのリフトオフ工程中、分離可能な基板の界面よりも第2の接合の界面の方が表面のエッチングが少ない。酸が低エネルギー領域（中央領域、図21参照）に到達すると、機械的分離（欧州特許第0925888号に記載されるような加圧水ジェット、仏国特許第2796491号に記載されるような圧縮空気ジェット、WO00/26000号に記載されるような牽引、ブレードの挿入などによる）によって、最終構造13+14+15+16（図22参照）が完全に分離する。フッ化水素エッチングなどによって酸化物13を除去すると、最終SOI構造が得られる。分離可能な基板内で基板として機能するSiウエハ11は、たとえば別の剥離可能な基板などを作製するために再生して再利用することができる（層12を除去した後が好ましい）。

【0093】

領域Z₁に到達するためにリングをなくす別の手段は、リングを少なくとも部分的に除去することであってもよい。この目的のために、湿式または乾式化学エッチング法、あるいは他の機械的研磨、レーザー切断などの方法をリングに局在化して使用することができる（図39および40参照、第2の基板の接合前の機械的または化学的切削部分の形成に対応している（斜線領域））。

【0094】

前述のように層14に形成される厚さ500Åの埋め込み酸化物層15は、層14上に接合させる前に基板16上に形成することができる。別の変法では、500Åの厚さが2つの部分に分割され、一方の部分は例えば厚さ250Åで基板16上にあり、もう一方の部分もこの例では厚さ250Åであり層14上にある。

【0095】

2つの分子接着接合した界面がどちらも酸化物/酸化物型である場合、高温における第2の接合の安定化は、フッ化水素酸エッチングが第1の界面で優先的に起こる様な方法で実

施することができる。この方法では、機械的に弱い領域 Z_1 が形成されることによってa第1の接合界面でスタックが優先的に完全に分離し、領域 Z_2 からは最初に良好な品質の活性層14が得られ、次に、歩留まりが低下したり、縁端部で薄膜が剥離されることによって活性薄膜の表面が減少することによってウエハの粒子状汚染物質が非常に増加したりする原因となる亀裂の発生が防止される。

【0096】

本発明による方法の使用の別の例は、ダブルゲートトランジスタ構造の形成に関する。トランジスタの製造に関する第1の作業は、従来技術を使用して分離可能な基板(図23参照)上に第1のCMOSTランジスタゲート(図24参照)を形成することから実質的になり、たとえば、図4に示したような薄い埋め込み酸化物層を有するSOI構造の形成に関して前述した方法と全く同じである。接合の安定化温度は、900℃から1000℃程度の温度範囲に低下させることができる。次に、従来の付着法(例えばCVD)を使用してこの基板上に厚さが1 μ m程度の酸化物層を付着させる(図25参照)。従来の化学的機械的研磨法を使用して酸化物の平坦化を行う(図26参照)。これに続いて、別のシリコン基板16との分子接着接合が行われる(図27参照)。この接合は、第1のゲートに形成される構造が高温に耐えられる場合には1000℃から1100℃の温度で優先的に安定化され、そうでない場合には900℃から1000℃程度の温度で実施される。最後に(図28参照)、分離は、前述した方法(ブレードの挿入、加圧水ジェット、圧縮空気ジェットなど)と全く同じ方法で実施される。トランジスタ製造工程を再開する前に、特に第2のゲートを形成するために(図28に示される新しい「基板」上に)、残りの酸化物層13が化学エッチングで除去される。シリコンに対してエッチング選択的を有することが知られているフッ化水素酸溶液で酸化物のエッチングが行われるため、酸化物が完全にエッチングされると自然にエッチングが停止し、シリコン表面が現れる。打ち込み法などで得られる破壊などに基づく他の方法に対するこの剥離法の大きな利点は、最終研磨作業などでは欠陥が生じる可能性があるということが問題な過度に複雑な仕上順序を必要としないことである。ダブルゲートトランジスタの残りの部分の製造工程は当業者には明らかである。

【0097】

他の多くの用途に同じ方法を使用することができる。第1のSOI構造(図4参照)がトランジスタ、回路、または構成要素などの製造に使用される場合、最終的にこれらを多くの種類の専用の支持体に転写することができる。たとえば、マイクロ波および電気通信回路に理想的な支持体を得るためには、基板16はその電気絶縁性(高抵抗率シリコン、石英、サファイアなど)から選択することができ、それによって基板の損失が制限される。フラットスクリーンに関する用途の場合、透明基板が最終支持体として選択される。

【0098】

分離の別の例として、薄い基板上に回路を形成する場合について本明細書で簡潔に説明する(図29から図32)。対象となる最終厚さは通常数百 μ m未満であり、数十 μ m程度となる場合もある。これらは、たとえば、電力用途、あるいはスマートカードや、ある程度の可撓性が必要とされる(プラスチック材料支持体、湾曲支持体など)その他の回路などの用途に関する。変法の1つは、目標基板に転写する必要がない種類の分離に関する。この場合の目的は、層14層が自立型となるために十分な厚さを有するが、集成的回路製造工程で損傷なしに耐えるには薄すぎる場合(通常は数百 μ m未満であり、数十 μ m程度となることもある)に、回路または構成要素Cを製造後に層14を転写せずに剥離を実施することである。分離可能な基板の製造方法は、例えば図4の構造の製造に関して前述した任意の方法のそれぞれと同じである。直径200mmのシリコンウエハの場合、標準的な基板の厚さは725 μ mである。最終基板の厚さが80 μ mとなる必要がある用途では、たとえばシリコン基板725-80=645 μ mが支持基板11として選択される。次に、この厚さ645 μ mの基板は、たとえば725 μ mのウエハに分子接着接合され、より低い機械的強度の領域が形成される。次に725 μ mのウエハは、平坦化および化学的機械的研磨などによって必要な厚さ80 μ mまで厚さを減少させる。したがって、得られる

アセンブリは標準的な厚さに相当し、構成要素の一部またはすべての製造工程に十分耐えられる。構成要素の製造後、前述の分離法のうちの1つを使用することができる(図31参照、フッ化水素酸エッチングおよび機械的応力)、基板16は省略することができる。しかし、この基板の存在が有用となる場合もある。分離後、自立層14単独が、対象となる目標基板となり、構成要素を含めた基板厚さ80 μ mを特徴とする。基板の残りは再生することができる。

【0099】

必要であれば、図33および34から明らかなように、分離前にダイを切断することができる、図33は後の分離領域のすぐ下まで延在する構成要素の間での切断を示しており、図34はフラグメントの1つに接合した引き抜き支持体SAを示しており、必要であればフッ化水素酸エッチング後に引き抜きを行えるように適合させることができる。

【0100】

脆弱化パラメータは、機械的応力の性質に応じて、分離前に、分離可能な基板に実施する必要がある技術的作業、特に熱処理および化学処理に適合させる必要がある。たとえば、分離可能な基板が、エピタキシャル成長温度550 $^{\circ}$ C(宇宙空間で使用する太陽電池を構成するためのGaInAsの成長の場合には一般的な温度である)に耐える必要があるSiO₂-SiO₂ 接合界面を有するゲルマニウム表面層からなる場合、分離可能となる基板のrms粗さは好都合には0.4nmとなる必要がある。

【0101】

別の使用例は、第1に回路のサイズの増大のため、第2に変形に対する抵抗性がより高いカードが必要とされる傾向にあるために支持体の可撓性が重要となるスマートカードの回路の製造に関する。厚さが約50 μ mを超える単結晶シリコン支持体は、スマートカードに通常発生しうる曲げの力が加わる場合に厚すぎるため、この場合には脆弱性が高すぎる。

【0102】

図35は、図4と同様の出発アセンブリを示しており、出発基板11'は酸化ケイ素の層12'で覆われ、層12'は酸化ケイ素の第2の層13'と分子接着接合し、層13'はシリコン層14'で覆われている。回路はシリコン層14'内部に形成される。続いて、第2の支持体16'と組み合わせるため(図36参照)、接着剤は、非常に薄い層15を形成するように選択され、さらにこの接合工程後に形成される活性層の構成要素を損傷する危険性がなくなるように例えば<400 $^{\circ}$ Cの低温で機械的強度が最高となりうるように選択されることが好ましい。これらは、熱またはUV線への曝露(この後者の場合ではUVに対して透明である最終基板16'が選択されると十分である)によって硬化する接着剤であれば好都合となりうる。

【0103】

分離可能な基板の脆弱化領域(この場合接合界面12'/13')に沿って切断する場合、UVに対して透明である接着剤および基板(実際では石英製やガラス製)は化合物(フッ化水素酸、溶媒など)に対して全体的に不活性ではないため、純粋に化学的なリフトオフを実施するのは困難となる可能性がある。一方、リングの接合エネルギーが接着剤と集積回路を構成する種々の層との強度よりも低くなるのであれば、弱い界面12'/13'における構造は純粋な機械的作用によって十分にリフトオフ可能である(これは比較的容易に実施可能である)。この後、分離可能な基板の基板は数回使用することができる。リングの制限された化学エッチング以外に、接着接合後に構造を環状に切断することによってリングを除去することもさらに可能である。この切断は、高接合エネルギー領域と低接合エネルギー領域との境界でレーザーによって実施すると好都合となりうる。リングの幅がわずか数mmまたはそれより狭い場合には、その基板を再利用することが可能である。

【0104】

一般に、第1の基板の残分が得られ、基板の支持体はこれ以降「分離可能」と呼ばれ(図37)、層12'は好ましくは研磨した後で再利用可能であり、活性層14'(図38)は別の支持体16'上に転写されるか、あるいは層14'の厚さが適切であれば分離した

ままで自立層となる。

【0105】

上記の例とは異なり、第2の基板16'は、はるかに長い工程における単なる中間基板であってもよく、中間基板16'の単純な除去、または多くの場合は基板16'の除去を伴うさらに別の支持体上への別の層の転写作業のいずれかが続けられる。前述の方法を使用して得られる分離可能な基板は、「処理された」後で中間基板に接合される。中間基板は剛性でも可撓性でもよい(上記例を参照)。基板が剛性である場合、その基板はシリコンであってもよい。

【0106】

当業者に公知の接着フィルムを使用することで接着接合、特に、シリコンウエハの切削、および集積回路の封止、あるいは実装またはバックエンドの作業を想定することができる(「ブル・タック」(Blu Tak)、テフロン(Teflon)(登録商標)接着フィルムなど)。接着フィルムが両面接着である場合、フィルムの裏面に中間基板を付着させて、切削時にアセンブリを強化するための基板または支持体として機能させることもできる。

【0107】

想定されるリフトオフ法としては、牽引力および/または剪断力および/または屈曲力を加えることが挙げられる。界面の化学エッチング、または超音波などの他の手段により付与される力を併用することもできる。リフトオフされる界面が酸化物型である場合、低エネルギー界面のエッチングは接合界面で促進され、これによって処理された層の中間基板への転写が促進される。これらの条件下では、処理された層が保護されると好都合である(例えばフッ化水素酸エッチングの場合に窒化物をさらに付着させるなどによって)。

【0108】

薄膜または中間基板(取扱基板とも呼ぶ)に応力を直接加えることができる。これらは、機械的応力(特に、接合界面へのブレードの挿入による)、および/またはリフトオフ工具の使用(WO00/26000号参照)、および/またはジェット、あるいは仏国特許第2796491号に記載されるような気流、および/または液体(欧州特許第0925888号、欧州特許第0989593号参照)の挿入であってよい。気流(または液体流、例えば、界面が酸化物である場合フッ化水素酸の流れなど)の場合、接合界面に局所的に流体を供給する前に分離可能な基板の処理(例えば化学エッチングによって)を行うと好都合となることがある。これによって、多層構造接合界面において優先的にリフトオフが促進され、この場合、構成要素を有する構造の種々の層を保護することによってリフトオフを行う必要がある。したがって、内部構成要素層の間の接着性が弱い場合でも接合界面のリフトオフが可能である。この点に関しては図39および40を参照されたい。

【0109】

「取扱層」とも呼ばれる中間基板は、全体的または部分的(ノッチを形成したり、切削前駆体を形成するため)に切削して電子構成要素に対応する素子を形成することができ、これらを異なる支持体に転写することができる。転写は集成的に行うことができ、支持体によってのみ互いに連結している場合でさえも、すべての構成要素の場合に、同一の技術的作業で同時に転写されるか、あるいは構成要素ごと(またはダイごと)に順番に転写される。支持体はスマートカードの場合のようにプラスチック材料であってよく、この場合には接着剤が転写のために好都合に使用される。これらの素子は、他の電子素子または光電子素子を含むウエハ上に転写することも可能であり、この場合も転写は分子接着技術を使用することができる(図4および図19から図22参照、層14に形成された構成要素がさらに存在する状態を想像されたい)。これらの素子はピックアンドプレース手段などの従来手段で転写することもできる。これらの素子は、熱的性質などを向上させるために別の支持体に転写することもできる。

【0110】

続いて、応力または局所的な熱(例えばレーザーを使用)を加えることによって、先に最終支持体に接合させた薄層を、機械力的手段によって取扱層から分離(素子ごとに、また

は全体的に)することができる。

【0111】

図17および18を参照すれば分かるように、領域 Z_1 および Z_2 は、外部リング Z_2 で取り囲まれる中央の円形領域 Z_1 を含む系を画定しない場合がある。多数の他の構造を想定することができる。図18における正方形の配列は、別の形状(行、列、同心円)の配列で置き換えることができ、それらのピッチおよび他の幾何学的寸法は、用途および使用される分離技術に応じて変動させることができる。配列構造を採用することの利点は、接続する界面に伝達される高い機械的応力(この場合、高い機械的強度の領域で短時間で繰り返されることが好ましい)が構造に加わる場合、あるいは層14が構造的に穴を有するとき、意図的またはそうでない場合もあるが、接続する領域が部分的に露出し、早期の層間剥離の中心がその穴となりうる場合、あるいはダイ製造の場合の方法の単純化のため(例えば個々のダイに切断するため)に好ましくなりうることである。基本的に、高い応力に耐える必要がある構造の場合(たとえば、構造にかなりの張力または圧縮力が加わるヘテロエピタキシーまたはその他の付着または技術的工程)、または小型回路の場合、またはサブミクロン解像のフォトリソグラフィで製造される回路の場合には、 $1\mu\text{m}$ 程度の大きさが好ましい。逆の状況では、 1mm 程度、場合によっては 1cm 程度の規模が好ましい。3つ以上の領域の多くの組み合わせも当然ながら想定することができる(Z_1 、 Z_2 、 Z_3 など)。特定の機械的強度の領域がばらばらの数で存在するのではなく、機械的強度が連続的に変動することを特徴とする連続した領域も想定することができる。たとえば、縁端部近傍での最大値から、中央部分での最小値まで連続的に減少する機械的強度も想定することができる。この変動は、場合によっては基板の面に対して垂直な軸に関して回転対称であってもよい。使用される幾何学的形状(選択的粗さのための保護層を形成するためのマスクの形状、選択的付着のためのマスクの形状、偏心性リングを優先的に研磨するための研磨布の形状など)が好適であるなら、この種の基板が得られる製造工程、および分離におけるそれらの使用は、図1から図8を参照にした説明とすべての点で同様である。

【0112】

上記幾何学的形状は、分離可能な最初の基板11+12+13+14から目標基板16に層14全体を転写できるように適合している。

【0113】

全体的、すなわち基板全体の規模で基板からの層の剥離を促進する傾向にある本発明による方法の実施形態とは対照的に、他の方法は、活性層から形成されるべきダイまたは構成要素と明確に関連する形状であるフラグメントの範囲を画定する傾向にある。図41はこの一例を示しており、後にダイ(またはあらゆる他の構成要素)を収容する領域が拡大されている。最初の基板上に分離される構成要素が存在するだけ、この構造を繰り返すことができる。理想的には、各領域 Z_2 は、領域 Z_1 の各フラグメントの輪郭を取り囲むか単にこれに沿って延在する。構成要素(またはダイなど)の表面積は、領域 Z_1 と正確に対応する場合もあるが、構成要素の表面または領域 Z_1 の表面の一方が他方を含んでいる状況ではこの面積よりも大きくなったり小さくなったりすることもある。採用される構造は、使用される分離技術に依存し、中央ディスク Z_1 の周囲にリング Z_2 のみを有する基板の分離に関して前述した場合と同様となりうる。興味深い変法の1つは、トレンチ、少なくとも部分的に丸いダイ、フラグメントなどを切断または範囲を画定するために従来の構成要素切断技術(のこ引き、レーザー切断など)を使用する。別の好都合な変法は、フォトリソグラフィ作業と関連する化学エッチングの使用に基づいて、同一のトレンチの形成および/または領域 Z_2 に対応する接続領域の除去が行われる。図41はある特殊な例を示しており、垂直の破線は必要なフラグメントの輪郭を示している。たとえば、広い面積で分子接着接合を形成した後、示される輪郭で層3および4のみが図の輪郭で切断され、その後、各フラグメントの基板からのリフトオフが考慮される量で、各フラグメントが基板からリフトオフされる(別の方法では、すべての層またはすべてのフラグメントを一度にすべて切断することができる)。切断後に、高い機械的強度領域が周辺部になる程度

で、たとえば層3または4の上に電子的、光学的、またはその他の構成要素を製造するための処理工程中の層間剥離の危険性は低下し、一方リフトオフが必要な場合には、中央領域で制御された方法で容易にリフトオフを実施することができる(リフトオフは周辺部で開始してもよい)。

【0114】

図4に示されるように基板の高さで外部リングを形成する目的で領域 Z_1 および Z_2 を分布させ、同時に図13に示されるように各ダイを保護するように分布させることは、有益な組み合わせの1つである。

【0115】

当然ながら、上記の実施形態は、単結晶シリコンの場合のみに限定されることはなく、他の半導体材料(Ge、SiGe、SiC、GaN、およびその他の同等の窒化物、AsGaInPなど)、強誘電材料および圧電材料(LiNbO₃、LiTaO₃)、および処理された磁性材料などの多くの材料に拡張することが可能であり、構成要素は剥離前または剥離後に形成される。

【0116】

前述したように、剥離可能な基板が、エピタキシャル成長温度550℃(宇宙空間で使用する太陽電池を構成するためのGaInAsの成長の場合には一般的な温度である)に耐える必要があるSiO₂-SiO₂接合界面を有するゲルマニウム表面層からなる場合、分離可能となる基板のrms粗さは好都合には0.4nmとなる。

【0117】

別の例は、分離可能な基板上でのエピタキシャルスタックのエピタキシャル成長である。この方法は、青色および白色LEDならびに薄層レーザーダイオード(たとえば、銅またはダイヤモンドなどの熱伝導性の優れた基板に転写することによって、発光の抽出の向上、または熱の排出の向上をはかる)の製造に特に利用される。この場合、関与するエピタキシャルスタックは、GaNから誘導される複合半導体(AIN、GaAIN、GaAlInNなど)を主成分とする。ある方法は、図4(または図26または図35)と同等の分離可能な構造を形成するための方法の1つを使用することからなり、層14がSiC₆Hであり(転写されたSi面は図の上部にある)、層12および13は図4の例のように酸化ケイ素であり、基板11は多結晶SiC(またはサファイア)である。窒化物を主成分とするスタック15”(図43)は、この構造上でエピタキシャル成長する(図42)。使用されるエピタキシャル技術は当業者に公知の技術であってよく、たとえば、ある分類の分子線エピタキシー(MBE)、および別の分類の有機金属化学気相成長(MOCVD)などであってよい。前者の場合、エピタキシャル成長温度が600℃を超えることはまれであるが、第2の分類における一般的な温度は1050℃から1100℃程度である。上記2つの技術のそれぞれについて、領域 Z_1 、 Z_2 などの組またはセットの選択を最適化する必要がある。第2の場合では、たとえば、フッ化水素酸エッチングによる2つの酸化物層12および13の粗面化に基づく前述の方法の1つが選択され、別の変法は基板の縁端部から幅5mmのリングの形成を含む。引き続く、1100℃におけるこの構造のMOCVDエピタキシャル成長によって、厚さが1μm程度のスタックが形成される。場合によってはこの構造は、リングの機械的強度を強くするためにエピタキシャル成長段階の前に通常900℃から1200℃の温度範囲でアニールが行われる。成長工程の後、アセンブリについて、酸化物の付着、CMPによる平坦化、利用可能な場合には基板16の分子接着接合(例えばシリコン基板上)、およびこの後者の接合を強化するための1100℃におけるアニーリングが行われる。層16が形成される(図44)。最後に接合界面で分離される(図45)。50%フッ化水素酸浴に数時間浸漬することからなる予備工程を行うと、基板の端部から数mmの深さで側方に酸化物層をエッチングするためには十分であり、この界面は領域 Z_2 に対応し、そのため領域 Z_1 が露出する。この後、ブレードの挿入、加圧水ジェットの使用、または圧縮空気ジェットなどの使用による機械力により、例えば前述した方法を使用して分離が行われる。最後の脱酸素工程によって酸化物層13残留物が除去される(図46)。エピタキシャルスタックの核生成層として機能するS

ic層14は少なくとも、場合によってはエッチングによって除去することができる(図41)。ダイオードは、最終の転写の前または後に製造することができる。

【0118】

(2-微小空隙、マイクロバブル、または小板を含む脆弱埋め込み層)

基板と、「活性層」となる層との間の界面は、微小空隙、マイクロバブル、または小板などで形成される埋め込み脆弱層の形態をとることができる。この方法は多くの半導体および他の材料を使用することができる。

【0119】

異なる機械的強度を有する領域間の差は、異なるレベルの脆弱化によって得られ、図1から図3のような場合では、中央領域はより大きな機械的強度の周囲領域で囲まれる必要があり、領域の脆弱化のための物質(例えば水素の注入)を周辺部ではより少量導入することによって周辺部における構造の脆弱化が中央部よりも少なくなるようにすると十分であり、このことは、注入作業の一部の間に層の一部をマスキングするか、あるいは注入中に掃引を変化させることによって実施可能であり、性質が異なる種々の領域で異なる条件下で連続的に注入を行うことによって実施可能である。領域は異なる熱処理を実施して異なる脆弱化を行うこともでき、それによって異なるレベルの脆弱化が実現される。

【0120】

領域 Z_1 および Z_2 の分布(1つのリング、フラグメント、領域の配列、複数の領域など)、これらの構造を分離する技術(機械的応力、化学処理、熱処理、リングおよび領域 Z_2 の選択的除去など)およびこれらの領域を実際に現象させる方法に関しては、分子接着によって形成される界面または中間層に関する第1項に示される要素および例が有効である。

【0121】

(3-多孔質層で形成される界面)

特に、単結晶、多結晶、または非晶質の形態のSi、GaAs、InP、GaAsP、GaAlAs、InAs、AlGaSb、ZnS、CdTe、およびSiGeの材料から多孔質層を得られることは、特に欧州特許0843346A2号によって当業者には公知である。

【0122】

したがって、単なる例として、本明細書の説明の残りはシリコンに言及する。

【0123】

フッ化水素酸中の電気分解によって多孔質シリコンを得ることが可能である。フッ化水素酸濃度や電流を変更することによってSiの多孔度を変動可能であることは当業者には公知である。たとえば、フッ化水素酸濃度を50%から20%に低下させると、多孔度は 2.1 g/cm^3 から 0.6 g/cm^3 に変化する。

【0124】

したがって、Siウエハの外部リングを厚い付着物(窒化物、酸化物、または多結晶シリコンなど)で保護すると、シリコン層の中央領域を多孔質にして、周辺部は元の状態を維持することができる。次に、周辺部に付着した層を除去して、ウエハ全体を電気分解すれば十分である。これら2つの電気分解操作の結果、ウエハ中央部は周辺部よりも多孔度が高くなる。

【0125】

次に、エピタキシャル成長によってこの多孔質層上に単結晶Si層を形成する(図48参照、この図は、基板21と、領域 Z_1 と Z_2 の間で制御された多孔度の差を有する多孔質層22と、薄層23とを含む構造を表している)。エピタキシャル成長工程の前に、孔隙表面少なくとも一部がつまるまで水素アニール型の平滑化アニールを実施すると好都合である。

【0126】

同じ成分を有する場合は種々の層の間で連続した結晶格子となってもよい。

【0127】

これによって活性層となるこの単結晶層の厚さは、意図する用途に依存する。

【0128】

活性層の厚さに依存して、分離後に、その層は自立層（比較的厚い場合）になることができるし、特に層が薄い場合は目標基板に転写することもできる（例えば分子接着によって）。化学的手段、または多孔質層への局所的な流体の導入によって、活性層は基板からリフトオフすることができる。

【0129】

別の方法では、わずか数mmの長さで周辺部が多孔質となる（図49において、基板21'、一部の領域が多孔質である層22'、および単結晶層23'である）。次に、切断（機械的、またはレーザー切断、またはHF/HNO₃やTMAHを使用した化学処理によって）によってこのリングを除去することが適切となる。

【0130】

領域Z₁ およびZ₂ の分布（1つのリング、フラグメント、領域の配列、複数の領域など）、これらの構造を分離する技術（機械的応力、化学処理、熱処理、リングおよび領域Z₂ の選択的除去など）およびこれらの領域を実際に現象させる方法に関しては、分子接着によって形成される界面または中間層に関する第1項に示される要素および例が有効である。

【0131】

以下のことに注意されたい。

【0132】

—界面は、単なる接触面または接続層となりうる。

【0133】

—フラグメントは、正方形、線、同心円などの網目構造中に分布しうる。

【0134】

—フラグメントの幾何学的画定は、ダイの位置および寸法と関連することが好ましい（最も近い領域Z₂ または最も近い切断性まで）。

【0135】

—接合前の表面処理工程は酸化物層の粗面化を含みうる。

【0136】

—接合前の処理は、粗さだけでなく親水性にも影響を与えうる。

【0137】

—第2の領域よりも第1の領域で粗さが大きくなるようにするために、両方の領域を粗面化して、第2の領域のみの粗さを低下させることができる。

【0138】

—Z₁ とZ₂ の間の差は、局所的な分子接合後の熱処理によって得ることができるし、あるいは接合作業後に局所的な熱アニール（レーザービーム、不均一な加熱炉、ランプによる加熱など）を使用することもできる。

【0139】

—界面が、気体元素の注入によって脆弱下埋め込み層である場合、これらの元素は気体のまま残留することが好ましい。

【0140】

—リフトオフのために、領域Z₂ に対応する材料の一部は、化学エッチングおよび／または材料の機械的除去（機械加工）によって除去されると好都合となりうる。

【0141】

—リフトオフ工程は、減圧下のエッチングおよび／または応力の付与によって実施可能であり、水、空気、または加圧流体のジェットを使用することができる。

【0142】

—以上の説明はシリコン層を強調してきたが、SiC、GaN、GaAs、InP、SiGe、およびこれらから誘導される半導体も関連がある。

【0143】

一分離前に層上でのエピタキシャル成長工程が存在することがあり、同様に構成要素は分離前に完全または一部を製造することができる。

【0144】

一領域 Z_1 および Z_2 とは異なる機械的強度を有する領域 Z_3 、さらには Z_4 も存在する。

【0145】

一離散的な段階の一定値ではなく、極限值の間で機械的強度が連続的に増加して存在する。

【0146】

一領域間の機械的強度の差は組成の違いによって生じうる（ある材料のある領域と別の材料の別の領域とを有する層で形成される界面、基板または層の材料の一部と転写した層の一部とで形成される界面）。

【図面の簡単な説明】

【0147】

【図1】異なる分子接合を有するように2つの領域が加工された表面の概略部分平面図である。

【図2】図1の線I-Iに沿った断面図である。

【図3】図1型の界面を有する基板上の薄層を含む組み合わせの図である。

【図4】基板上の薄層全体の断面の概略図である。

【図5】保護層が設けられた基板ウエハの断面図である。

【図6】くぼみを形成した後の図5のウエハの図である。

【図7】酸化物を付着させてくぼみを充填した後の同じウエハの図である。

【図8】研磨後の酸化物付着物で覆われた前記ウエハの図である。

【図9】余分な酸化物コーティングを除去した後のウエハの図である。

【図10】薄層を取り付けた後か、または厚い層を取り付けてその層をシニングした後かのウエハの図である。

【図11】図10の変形であり、酸化物コーティングが基板と薄層とに浸透している。

【図12】図10の変形であり、酸化物コーティングが薄層上にある。

【図13】図11の変形であり、酸化物は基板内および薄層内の異なる領域を占有している。

【図14】異なる材料（この例では SiO_2 と Si_3N_4 ）の領域によって形成される層で界面が形成されている変形を示している。

【図15】図10の変形であり、酸化物によって形成された複数の領域を示している。

【図16】図14の変形であり、異なる材料の複数の領域で形成された中間層を示している。

【図17】同心で交互に並ぶリング Z_1 および Z_2 を示している。

【図18】全体的な領域 Z_2 内部の領域 Z_1 の配列を示している。

【図19】表面層を付着させた後の図4のアセンブリの概略図である。

【図20】最終基板の分子接合後の別の図である。

【図21】リフトオフ作業を実施した後の別の図である。

【図22】リフトオフと研磨を行った後に得られるウエハの概略図である。

【図23】図4型の分離可能なアセンブリの図である。

【図24】第1のトランジスタゲートなどの構成要素の一部または全部を製造した後の上記アセンブリの図である。

【図25】酸化物を付着させた後の上記アセンブリの図である。

【図26】CMPによって平坦化した後の上記アセンブリの図である。

【図27】分子接着接合（熱処理を含む）後の上記アセンブリの図である。

【図28】分離および脱酸素の後の上記アセンブリの図である。

【図29】図4型の分離可能なアセンブリの図である。

【図30】構成要素の製造後の上記アセンブリの図である。

【図31】目標基板には転写せずに、フッ化水素エッチングおよび／または機械力の付与によって分離した後の上記アセンブリの図である。

【図32】最終基板と再生可能な基板とを分離した後の上記アセンブリの図である。

【図33】構成要素間にトレンチまたはノッチを切削した後の図30の変形である。

【図34】フッ化水素酸エッチング後などにリフトオフされる構成要素を示す上記アセンブリの図である。

【図35】図4と類似の図である。

【図36】透明基板を接着接合した後の図35のアセンブリの断面の概略図である。

【図37】リフトオフおよび研磨の後のこのアセンブリ上部の図である。

【図38】リフトオフおよび研磨の後のこのアセンブリ上部の図である。

【図39】図4と類似のアセンブリの図であり、化学的機械的切削によって除去される領域を示している。

【図40】上部基板と接合後の上記アセンブリの図である。

【図41】交互に配列する領域 Z_1 および Z_2 を含むアセンブリの拡大図である。

【図42】図4と類似のアセンブリの図である。

【図43】GaN系エピタキシャルスタックの付着後の上記アセンブリの図である。

【図44】基板接合後の上記アセンブリの図である。

【図45】リフトオフ時の上記アセンブリの図である。

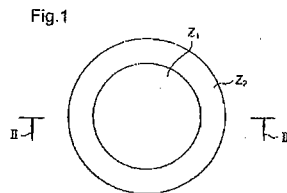
【図46】研磨後の上記アセンブリ上部の図である。

【図47】スタックの下層を除去した後の上記アセンブリの図である。

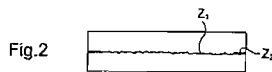
【図48】埋め込み脆弱層を含む基板の図である。

【図49】埋め込み脆弱層部分を含む基板の図である。

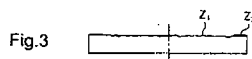
【図1】



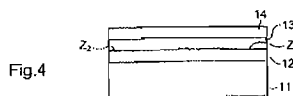
【図2】



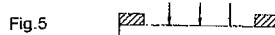
【図3】



【図4】



【図5】



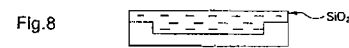
【図6】



【図7】



【図8】



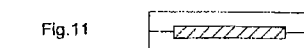
【図9】



【図10】

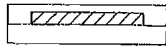


【図11】



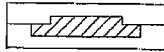
【図12】

Fig.12



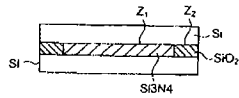
【図13】

Fig.13



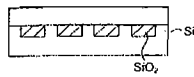
【図14】

Fig.14



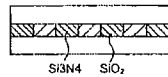
【図15】

Fig.15



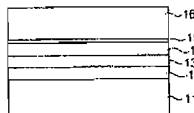
【図16】

Fig.16



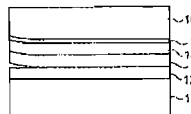
【図20】

Fig.20



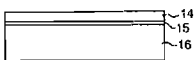
【図21】

Fig.21



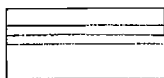
【図22】

Fig.22



【図23】

Fig.23



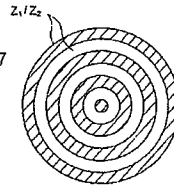
【図24】

Fig.24



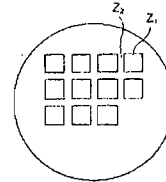
【図17】

Fig.17



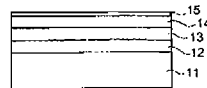
【図18】

Fig.18



【図19】

Fig.19



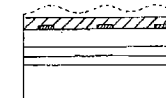
【図25】

Fig.25



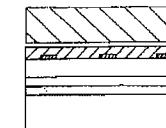
【図26】

Fig.26



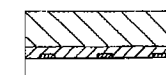
【図27】

Fig.27



【図28】

Fig.28

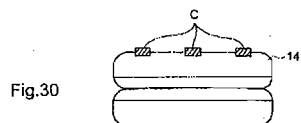


【図29】

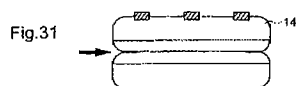
Fig.29



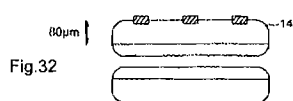
【図30】



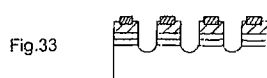
【図31】



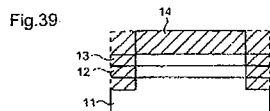
【図32】



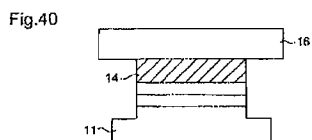
【図33】



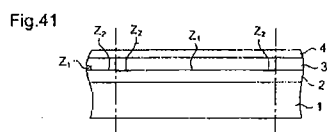
【図39】



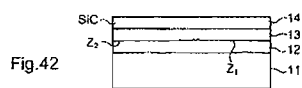
【図40】



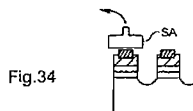
【図41】



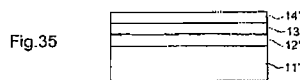
【図42】



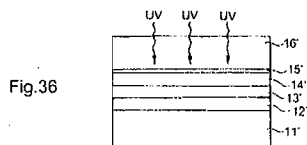
【図34】



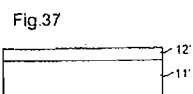
【図35】



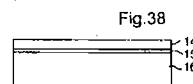
【図36】



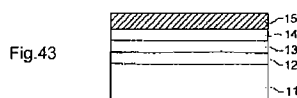
【図37】



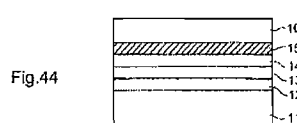
【図38】



【図43】



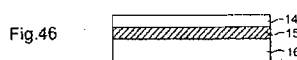
【図44】



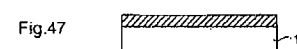
【図45】



【図46】

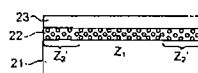


【図47】



【図48】

Fig.48



【図49】

Fig.49



【国際公開パンフレット】

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international(43) Date de la publication internationale
24 octobre 2002 (24.10.2002)

PCT

(10) Numéro de publication internationale
WO 02/084721 A2(51) Classification internationale des brevets :
H01L 21/28, 21/762, 21/762, 21/00, H01L 21/305,
21/004, 21/524, 21/265, 21/78, 21/66(74) Mandataire : RDRUY, Santarelli, 14, avenue de la
Grande-Armée, B.P. 237, F-75822 Paris Cedex 17 (DE)(21) Numéro de la demande internationale :
PCT/FR02/01266(81) États désignés (national) : AF, AG, AI, AM, AE, AU, AZ,
BA, BR, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ,
DE, DK, DM, DZ, EC, EE, ES, FI, GB, GR, GT, GU, HK,
HU, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK,
LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX,
MY, NO, NZ, OM, PA, PE, PG, PH, PI, PR, RO, RU, SD, SE,
SG, SI, SK, SL, TL, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN,
YT, ZA, ZM, ZW.

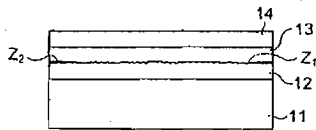
(22) Date de dépôt international : 11 avril 2002 (11.04.2002)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
01/05129 17 avril 2001 (17.04.2001) FR(84) États désignés (régional) : brevet ARIPU (GH, GM, KE,
LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), brevet
européen (AM, AZ, BY, BG, KZ, MD, RU, TJ, TM), brevet
canadien (CA), CH, CU, CY, DE, DK, ES, FI, FR, GB, GR,
IE, IT, LI, MC, NL, PT, SE, TR), brevet OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MK, NI, SN,
TD, TG).(71) Dépositaire pour tous les États désignés sauf (s) : COM-
MISSARIAT A L'ÉNERGIE ATOMIQUE (FR/FR),
31/73, rue de la République, F-75752 Paris Cedex 15 (FR).(72) Inventeurs : et
(75) Inventeurs/Déposants pour US seulement : ASPAR,
Bernard (FR/FR), 110, Lottissement Le Hameau des Ayes,
14-36100 Vieux-Évrey, MORICEAU, Hubert (FR/FR),
26, rue de Fourmet, F-36120 Saint-Etienne (FR), ZUSSKY,
Marc (FR/FR), 4 avenue Albert 1er de Belgique, F-58000
Grenoble (FR), RAYSSAC, Olivier (FR/FR), 7, chemin
Clapier, F-38000 Grenoble (FR).Publiée :
sans rapport de recherche internationale, sera republiée
dès réception de ce rapportEn ce qui concerne les codes à deux lettres et autres abrévia-
tions, se référer aux "Notes explicatives relatives aux codes et
abréviations" figurant au début de chaque numéro ordinaire de
la Gazette de PCT.(54) Titre : DETACHABLE SUBSTRATE OR DETACHABLE STRUCTURE AND METHOD FOR THE PRODUCTION
THERMO

(54) Titre : SUBSTRAT OU STRUCTURE DÉMONTABLE ET PROCÉDÉ DE RÉALISATION



une ou plusieurs couches.

(57) Abstract: The invention relates to the pro-
duction of a thin layer comprising a step in which an
interface is created between a layer used to create
said thin layer and a substrate, characterized in that
said interface is made in such a way that it is pro-
vided with at least one first zone (Z1) which has
a first level of mechanical strength, and a second
zone (Z2) which has a level of mechanical strength
which is substantially lower than that of the first
zone. Said interface can be created by gluing sur-
faces which are prepared in a differentiated man-
ner, by a layer which is buried and embedded in a
differentiated manner in said zones, or by an inter-(57) Abrégé : La présente de préparation d'une couche mince comportant une étape de réalisation d'une interface entre une couche
destinée à faire de cette couche mince et un substrat est caractérisée en ce que cet interface est réalisé en sorte d'avoir au moins une
première zone (Z1) ayant un premier niveau de résistance mécanique sensiblement inférieur au premier niveau de résistance mécanique.
Cette interface peut notamment être constituée par le collage de surfaces préparées de façon différenciée, par une couche enterrée
fragilisée de façon différenciée dans ces zones, ou par une couche intermédiaire poreuse.

WO 02/084721 A2

WO 02/084721

PCT/FR02/01266

1

- 5 Substrat ou structure démontable et procédé de réalisation
- 10 Domaine de l'invention
L'invention concerne la réalisation de composants à partir d'une couche mince sur un substrat, et la réalisation de cet ensemble couche mince-substrat. Ce substrat peut être initial ou intermédiaire, et être démontable, c'est à dire destiné à être séparé de cette couche mince.
- 15 Etat de la technique
De plus en plus de composants doivent être intégrés sur des supports différents de ceux permettant leur réalisation.
Par exemple, on peut citer les composants sur substrats plastiques
- 20 ou sur substrats souples. Par composants, on entend tout dispositif micro-électronique, optoélectronique ou capteur (par exemple chimique, mécanique, thermique, biologique ou biochimique) entièrement ou partiellement « processé », c'est à dire entièrement ou partiellement réalisé.
Pour intégrer ces composants sur des supports souples, on peut
- 25 utiliser une méthode de report de couche.
Il existe de nombreux autres exemples d'applications où les techniques de report de couche peuvent fournir une solution adaptée pour l'intégration de composants ou de couches sur un support à priori inadapté à leur réalisation. Dans le même esprit, ces techniques de transfert de couches
- 30 sont également très utiles lorsque l'on souhaite isoler une couche fine, avec ou sans composant, de son substrat initial, par exemple en procédant à une séparation ou élimination de ce dernier. Encore dans le même esprit, un

WO 02/084721

2

PCT/FR02/01266

- retournement de couche fine associé à son transfert sur un autre support fournit aux ingénieurs un degré de liberté précieux pour pouvoir concevoir des structures impossibles par ailleurs. Ces prélèvements et retournements de films minces permettent par exemple de réaliser des structures dites enterrées telles
- 5 que des capacités enterrées pour les DRAMs (Dynamic Random Access Memory) où, contrairement au cas usuel, les capacités sont d'abord formées puis reportées sur un autre substrat de silicium avant de reprendre la fabrication sur ce nouveau substrat du reste des circuits. Un autre exemple concerne la
- 10 réalisation de structures de transistors dites à double grille. La première grille du transistor CMOS est réalisée selon une technologie conventionnelle sur un substrat puis reportée avec retournement sur un second substrat pour reprendre la réalisation de la deuxième grille et de la finition du transistor laissant ainsi la première grille enterrée dans la structure (voir par exemple K. Suzuki, T. Tanaka, Y. Tosaka, H. Horie and T. Sugii, "High-Speed and Low
- 15 Power n+-p+ Double-Gate SOI CMOS", IEICE Trans. Electron., vol. E78-C, 1995, pp. 360-367).

- Vouloir isoler une couche mince de son substrat initial se rencontre
- 20 par exemple dans le domaine des diodes électroluminescentes (LED en langage Anglo-saxon) comme il est par exemple reporté dans les documents W.S Wong et al., *Journal of Electronic MATERIALS*, page 1409, Vol. 28, N°12, 1999 ou I. Pollertier et al., page 1056, *SPIE Vol. 1361 Physical Concepts of Materials for Novel Optoelectronic Device Applications I* (1990). Un des buts
- 25 recherchés ici concerne un meilleur contrôle de l'extraction de la lumière émise. Un autre but concerne le fait que dans cet exemple particulier, le substrat saphire ayant servi à réaliser l'implément épitaxial, se retrouve à posteriori encombrant notamment du fait de son caractère électriquement isolant qui empêche toute prise de contact électrique en face arrière. Pouvoir se
- 30 débarrasser de ce substrat saphire dont l'emploi était avantageux pour la phase de croissance du matériau apparaît donc désormais souhaitable.

WO 02/084721

3

PCT/FR02/01266

On retrouve une situation identique par exemple dans le domaine des applications liées aux télécommunications et hyperfréquence. Dans ce cas, on préfère que les composants soient intégrés en final sur un support présentant une résistivité élevée, typiquement de plusieurs kohms.cm au moins. Mais un substrat fortement résistif n'est pas forcément disponible aux mêmes coûts et qualité que les substrats standard habituellement utilisés. Dans le cas du silicium, on peut par exemple noter la disponibilité de plaques de silicium en diamètre 200 et 300mm de résistivité standard tandis que pour des résistivités supérieures à 1kohm.cm, l'offre est très inadaptée en 200mm et inexistante en 300mm. Une solution consiste à réaliser les composants sur substrats standards puis à reporter lors des étapes finales une couche fine contenant les composants sur un substrat isolant de type verre, Quartz, saphir, etc.

D'un point de vue technique, ces opérations de transfert ont pour intérêt majeur de décorréliser les propriétés de la couche dans laquelle sont formés les composants et la couche support final, et trouvent par conséquent intérêt dans bien d'autres cas encore.

On peut encore citer les cas où le substrat d'intérêt pour la réalisation des composants coûte excessivement cher. Dans ce cas, celui du carbure de silicium par exemple offrant de meilleures performances (températures d'utilisation plus élevées, puissances et fréquences maximum d'utilisation significativement améliorées, ...) dont le coût comparativement au silicium est très élevé, on aurait intérêt à transférer une couche fine du substrat cher (le carbure de silicium ici) sur le substrat bon marché (le silicium ici), et à récupérer le résidu du substrat cher pour une réutilisation après éventuellement une opération de recyclage. L'opération de transfert peut avoir lieu avant, au cours ou après la réalisation des composants.

Ces techniques peuvent également trouver leur intérêt dans tous les domaines où obtenir un substrat mince est important pour l'application finale. En particulier, on peut citer les applications de puissance, que ce soit pour des raisons liées à l'évacuation de chaleur qui sera d'autant meilleure que le substrat est fin, ou parce que certaines fois le courant doit traverser l'épaisseur

WO 02/084721

PCT/FR02/01266

4

des substrats avec des pertes en première approximation proportionnelles à l'épaisseur traversée par le courant. On peut aussi citer les applications de carte à puce pour lesquelles une finesse des substrats est recherchée pour des raisons de souplesse. Pour ces applications, la réalisation de circuits est faite sur des substrats épais ou d'épaisseur standard avec avantage d'une part de bien supporter mécaniquement les différentes étapes technologiques et d'autre part de répondre aux normes quant à leur passage sur certains équipements de production. L'amincissement est réalisé en final par séparation. Cette séparation peut s'accompagner d'un report sur un autre support. Dans certains cas, notamment lorsque l'épaisseur finale considérée lors de l'amincissement est suffisante pour obtenir des structures autoportées, le report sur un autre support n'est pas indispensable.

Différentes techniques peuvent être utilisées pour reporter des couches d'un support vers un autre support. On peut citer par exemple les techniques publiées en 1985 par T. Hamaguchi et al.- Proc. IEDM 1985 p. 688. Ces techniques présentent un grand intérêt puisqu'elles permettent effectivement de transférer une couche d'un substrat vers un autre substrat ; mais elles nécessitent la consommation du substrat de base (détruit au cours du procédé), et ne permettent pas le transfert homogène d'un film mince sauf si une couche d'arrêt (c'est à dire une couche formant une inhomogénéité dans la matière du substrat) est présente.

Parmi les procédés connus de report, il est également possible d'utiliser des méthodes de transfert de couches minces de matériaux contenant (ou pas) tout ou partie d'un composant microélectronique. Ces méthodes sont basées pour certaines sur la création dans un matériau d'une couche fragile enterrée, à partir de l'introduction d'une ou plusieurs espèces gazeuses. On peut à ce propos se référer aux documents US-A-5374564 (ou EP-A-533551), US-A-6020252 (ou EP-A-807970), FR-A-2767416 (ou EP-A-1010198) FR-A-2748850 (ou EP-A-902843), ou FR-A-2773261 (ou EP-A-963598), qui présentent ces procédés.

WO 02/084721

PCT/FR02/01266

5

Ces procédés sont généralement utilisés avec l'objectif de détacher l'ensemble d'un film d'un substrat initial pour le reporter sur un support. Le film mince obtenu peut contenir alors une partie du substrat initial. Ces films peuvent servir de couches actives pour la réalisation de composants électroniques ou optiques. Ces films peuvent contenir tout ou partie d'un

5 composant.

Ces méthodes permettent en particulier la réutilisation du substrat après séparation, ces substrats ne se consommant que très peu ainsi à chaque cycle. En effet, l'épaisseur prélevée n'est fréquemment que de quelques µm

10 tandis que les épaisseurs de substrat sont typiquement de plusieurs centaines de µm. On peut ainsi obtenir, en particulier dans le cas du procédé divulgué dans le document US-A-6020252 (ou EP-A-807970), des substrats qui sont assimilables à des substrats « démontables » (c'est à dire des substrats détachables) à l'aide d'une contrainte mécanique. Ce procédé particulier repose

15 sur la formation par implantation d'une zone enterrée fragilisée selon laquelle se réalisera la découpe lors du transfert final.

D'autres méthodes, basées sur le principe du " lift-off ", permettent également de séparer une couche mince du reste de son support initial, toujours sans forcément consommer ce dernier. Ces méthodes utilisent

20 généralement des attaques chimiques attaquant sélectivement une couche intermédiaire enterrée, associées ou non à des efforts mécaniques. Ce type de méthode est très utilisé pour le report d'éléments III-V sur différents types de supports (Voir : C. Camperi et al. - IEEE Transaction and photonics technology - vol 3, 12 (1991) 1123). Comme il est expliqué dans l'article de P. Demeester

25 et al., Semicond. Sci. Technol. 8 (1993) 1124-1135, le report, ayant lieu généralement après une étape d'épitaxie, peut être réalisé avant ou après la réalisation des composants ("post-processing" ou "pre-processing" respectivement selon leur dénomination Anglo-saxonne).

Parmi les méthodes utilisant la présence d'une couche enterrée

30 (préexistante) de tenue mécanique plus faible que le reste du substrat pour obtenir une séparation localisée, on peut citer le procédé ELTRAN® (Japanese Patent Publication Number 07302889). Dans ce cas un empilement à base de

WO 02/084721

6

PCT/FR02/01266

silicium monocristallin est fragilisé localement grâce à la formation d'une zone poreuse. Un autre cas similaire consiste à tirer profit de la présence d'un oxyde enterré dans le cas d'une structure SOI (Silicon On Insulator) aussi standard soit-elle (c'est à dire réalisée sans rechercher un effet démontable particulier).

- 5 Si cette structure est collée de manière suffisamment forte sur un autre substrat et si on exerce une contrainte importante sur la structure, on peut obtenir une fracture localisée préférentiellement dans l'oxyde, menant à une découpe à l'échelle du substrat entier. Le document « PHILIPS Journal of Research vol. 49 N°1/2 1995 » en montre un exemple en pages 53 à 55. Malheureusement, cette
- 10 fracture est difficilement contrôlable et elle nécessite des contraintes mécaniques importantes pour mener à la fracture, ce qui n'est pas sans risque de casse des substrats ou de détérioration concernant les composants.

- L'avantage de tels procédés à couche fragile enterrée est de pouvoir réaliser des couches à base de silicium cristallin (ou de SiC, InP, AsGa, LiNbO₃,
- 15 LiTaO₃...) dans une gamme d'épaisseur pouvant aller de quelques dizaines d'ångström (Å) à quelques micromètres (µm), avec une très bonne homogénéité. Des épaisseurs plus élevées restent également accessibles.

- Pour fabriquer des structures démontables pour un éventuel report ultérieur d'une couche sur un autre support ou substrat, il est connu de
- 20 chercher à maîtriser les énergies de liaisons entre la couche et le substrat, comme indiqué dans le document EP 0702609 A1.

- Selon la connaissance acquise par ailleurs par les inventeurs de ce brevet, on peut également, pour réaliser un substrat démontable, utiliser des méthodes mettant en jeu le contrôle des forces de collage existant à la surface
- 25 de « démontage » pour assembler provisoirement la couche fine et le substrat duquel on devra la démonter ultérieurement. Le cas où le collage est obtenu par adhésion moléculaire est un cas particulier intéressant. Parmi les catégories d'assemblages réalisés par collage moléculaire, les substrats SOI (Silicon On Insulator) réalisés par ces techniques de collage représentent une catégorie
- 30 particulièrement intéressantes. Cette catégorie présente plusieurs variantes dont les principales sont décrites dans le livre « Semiconductor Wafer bonding Science and Technology », (Q.-Y. Tong and U. Gösele, a Wiley Interscience

WO 02/084721

7

PCT/FR02/01266

- publication, Johnson Wiley & Sons, Inc.). Certaines variantes sont connues sous la dénomination BSOI (Bonded SOI) ou encore BESOI (Bond and Etch Back). Ces variantes reposent, outre sur un collage comprenant l'adhésion moléculaire, sur un enlèvement physique du substrat initial soit par des techniques de type polissage et/ou des techniques de gravure chimique.
- 5 D'autres variantes, en partie décrites auparavant comme technique de transfert de couche, reposent en plus du collage par adhésion moléculaire sur la séparation par "découpe" le long d'une zone fragilisée telles que les méthodes décrites dans les documents US-A-5374564 (ou EP-A-533551), US-A-6020252
- 10 (ou EP-A-807970) (séparation le long d'une zone implantée) ou encore dans le document EP 0925888 (séparation par fracture le long d'une couche enterrée porosifiée). Quelque soit la technique exacte utilisée, ces variantes ont pour point commun d'utiliser un collage moléculaire, mis en œuvre dans la plupart des cas rencontrés dans la littérature entre deux substrats comprenant en leur
- 15 surface à mettre en contact du silicium (Si) ou de l'oxyde de silicium (SiO₂). D'autres matériaux se rencontrent parfois (Nitrures, silicures, etc.).

- Dans le cas où des structures non démontables de type SOI veulent être obtenues, les préparations de surface sont destinées à fournir à terme, et souvent à l'aide d'un recuit réalisé après le collage, de fortes énergies de
- 20 collage, typiquement 1 à 2 J/m². Classiquement, avec des préparations standard, l'énergie de collage de la structure atteint l'ordre de 100 mJ/m² à température ambiante, et de 500 mJ/m² après un recuit à 400°C pendant 30 mn, dans le cas d'un collage SiO₂/SiO₂ (énergie de collage déterminée par la méthode de la lame développée par Maszara (Voir : Maszara et al., J Appl
- 25 Phys., 64 (10), p. 4943, 1988). Lorsque la structure est recuite à haute température (1100°C), l'énergie de collage peut atteindre 2 J/m² (C. Maleville et al., Semiconductor wafer bonding, Science Technology and Application IV, PV 97-36, 46 The Electrochemical Society Proceedings Series, Pennington, NJ (1998)). D'autres préparations avant collage existent, par exemple par
- 30 exposition des surfaces à coller à un plasma (d'oxygène par exemple), et peuvent mener à des énergies équivalentes de collage sans toujours nécessiter

WO 02/084721

8

PCT/FR02/01266

de tels recuits (YA. Li and R.W. Bower, Jpn. J. Appl. Phys., vol 37, p. 737, 1998)

Par opposition, les inventeurs se sont intéressés au cas des structures de type SOI démontables. Or, il a été démontré qu'en jouant sur l'hydrophilie et la rugosité des surfaces, des tenues mécaniques différentes peuvent être obtenues. Par exemple, l'attaque HF permet, comme indiqué dans l'article de O. Rayssac et al. (Proceedings of the 2nd International Conference on Materials for Microelectronics, IOM Communications, p. 183, 1998), d'augmenter la rugosité d'une couche d'oxyde de Silicium. Dans cet article, il est décrit qu'une gravure de 8000 Å augmente la rugosité de 0,1 nm RMS à 0,625 nm RMS. Il a été vérifié qu'un collage $\text{SiO}_2/\text{SiO}_2$ avec des rugosités de 0,625 nm RMS et de 0,625 nm RMS pour les surfaces en regard, conduit à une valeur d'énergie de collage de l'ordre de 500 mJ/m² après un recuit à 1100°C, c'est-à-dire largement plus faible que dans le cas standard précité. Dans ce cas, les inventeurs ont démontré qu'on pouvait tirer profit de cette rugosification pour mettre au point des interfaces de collage démontables, même après des recuits à haute température, jusqu'à 1100°C. En combinant de manière astucieuse la préparation de rugosification avant collage avec des traitements de recuits thermiques adaptés, il a été ainsi démontré que des substrats de type SOI démontables pouvaient supporter, sans séparation inopinée au niveau de l'interface d'assemblage, l'essentiel des étapes d'un procédé de réalisation de transistors CMOS (comportant notamment des étapes de traitement thermique à haute température, typiquement 1100°C, ainsi que des étapes de dépôt de couches contraintes, par exemple de nitrure), et pouvait à posteriori être démontées selon l'interface de collage par l'application volontaire de contraintes mécaniques contrôlées.

Problème technique et solution de l'invention

La délamination est un problème parasite classique dans le cadre des structures multicouches, notamment dans le domaine des techniques de fabrication de composants microélectronique, capteurs etc... En effet, les traitements thermiques, les traitements chimiques (attaque HF,...), les

WO 02/084721

9

PCT/FR02/11266

opérations d'enlèvement mécanique et/ou physique de matière (polissage etc ...
...) nécessaires à la réalisation de composants, les étapes de dépôt et/ou de
croissance épitaxiale, ou encore les contraintes mécaniques engendrés lors de
la réalisation d'empilements non-homogènes engendrent souvent des clivages
5 en bord de couche ou des amorces de décollement sur le bords de structures.
Si on prend comme exemple le SOI, les nombreux traitements HF utilisés pour
désoxyder le Si superficiel peuvent conduire dans certains cas à une
surgravure importante de l'oxyde enterré et donc à fragiliser le film superficiel
en bord de plaquette.

10

Les techniques de transfert de couches (avec ou sans composant)
reposant sur la réalisation de substrats démontables par formation d'une
couche intermédiaire ou interface fragilisée (qu'elle soit obtenue notamment par
fragilisation par implantation d'espèces, par formation d'une zone poreuse, par
15 contrôle de l'énergie de collage etc ...) se heurtent à cet égard à certains
problèmes liés à une délamination intempestive lorsque les traitements
préalable à la séparation volontaire sont trop agressifs. Au cours du procédé de
fabrication de tout ou partie du composant, il peut apparaître en ces bords, de
façon involontaire, des amorces de fissure qui peuvent engendrer des pertes de
20 rendement. Mis à part la diminution de surface du film actif due au pelage du
film en bord, ces problèmes peuvent conduire à une forte augmentation de la
contamination particulière sur les plaquettes, et donc à une importante perte de
rendement dans la fabrication des composants ainsi qu'à une contamination
des équipements utilisés (en particulier les fours).

25

L'invention a pour objet de pallier les inconvénients précités, grâce à
une interface couche/substrat qui permette de combiner, de façon fiable,
l'impératif de séparation aisée, le moment voulu, et l'impératif de pouvoir, le cas
échéant, supporter l'application de traitements thermiques ou mécaniques
30 nécessaires pour la réalisation de tout ou partie de composants
microélectronique, optique, acoustique ou de capteurs ou encore d'étapes
d'épitaxie, sans provoquer de délamination ou de séparation prématurée.

Plus généralement, l'invention a pour objet un ensemble comportant une couche mince sur un substrat, cette couche étant reliée à ce substrat par une interface ou une couche intermédiaire présentant un niveau de tenue mécanique qui peut être contrôlé.

5

Elle propose à cet effet, tout d'abord, un procédé de préparation d'une couche mince comportant une étape de réalisation d'une interface ou d'une couche intermédiaire entre cette couche mince et un substrat, caractérisé en ce que cette interface est réalisée en sorte de comporter une première zone
10 ayant un premier niveau de tenue mécanique et au moins une seconde zone ayant un second niveau de tenue mécanique sensiblement supérieur au premier niveau.

En d'autres termes l'invention propose un procédé qui permet
15 d'obtenir une structure possédant une structure enterrée (interface ou couche) dont la tenue mécanique est plus forte dans une zone que dans une autre. Cela permet, en fonction des besoins, de réaliser de façon optimale l'interface (ou la couche intermédiaire) compte tenu des traitements qu'il est prévu de lui appliquer.

20 Par tenue mécanique, il faut entendre qu'il peut s'agir, dans la totalité de ce document, de tenue mécanique au sens « résistance de matériaux », mais qu'il peut aussi s'agir de manière plus générale de susceptibilité à la rupture ou à la dissociation d'un milieu continu ou non (telle une interface ou un empilement, qui pourrait faire l'objet d'une délamination par exemple, etc ..),
25 que ce soit face à une contrainte mécanique pure (traction, flexion, cisaillement, compression, torsion, etc..) ou lors d'un traitement thermique ou lors d'une attaque chimique, ainsi que toutes les combinaisons qui peuvent être réalisées.

Dans le cas où on souhaite, conformément au problème particulier
30 examiné ci-dessus, pouvoir démonter, au bon moment (mais pas avant), le substrat vis-à-vis de la couche, la première zone ayant un niveau de tenue mécanique plus faible est une zone incluse dans la seconde zone.

WO 02/04721

11

PCT/FR02/01266

De manière préférée, surtout dans le cas où l'on souhaite réaliser le transfert de l'ensemble de la couche fine à l'échelle du substrat, la zone de plus forte tenue mécanique est une couronne (annulaire dans le cas de substrats ronds), dont la largeur peut varier de quelques centaines de micromètres à quelques millimètres, voire de l'ordre du cm. C'est ainsi que la couronne peut constituer la périphérie d'une plaque (ronde, carrée, polygonale ou autre) dont le cœur est de plus faible tenue mécanique.

De manière préférée, dans un cas correspondant plutôt à une séparation par parties de la couche fine (par puces, par composants ou ensemble et sous-ensembles de puces etc..) la préparation de cette couche comporte une étape selon laquelle on isole sur le substrat au moins une parcelle de cette couche, et cette seconde zone est conçue en sorte de longer le contour de cette parcelle. C'est ainsi que la première zone peut être parcellaire, chaque parcelle étant entourée d'une zone de plus forte tenue mécanique.

Ainsi, l'interface (ou couche intermédiaire) réalisée entre la couche mince et le substrat est, du point de vue tenue mécanique, plus faible en sa partie centrale qu'en sa périphérie. Les risques de délamination intempestive sont ainsi fortement réduits.

Cette interface (ou cette couche enterrée) peut être de différentes natures. Elle peut notamment être définie comme étant :

- une interface de collage (avec ou sans colle, par adhésion moléculaire par exemple), et avec ou non une couche intermédiaire (oxyde, nitrure),
- une couche de microcavités (et/ou microbulles gazeuses et/ou « platelets »), et plus généralement une couche de défauts ou
- une couche intermédiaire ayant des caractéristiques différentes de celles du substrat et de la couche, par exemple une couche de silicium poreux ce qui peut présenter des différenciations en termes de tenue mécanique ou de susceptibilité par rapport à une gravure chimique (chimique et mécanique) etc ..
- une couche intermédiaire de composition chimique différente destinée à faire l'objet d'une attaque chimique sélective.

WO 02/084721

12

PCT/FR02/01266

La différenciation entre les zones de liaison à tenue mécanique plus ou moins fortes ou autre natures de liaisons différentes peut :

- 5 - en ce qui concerne une interface collée, être réalisée par des énergies de liaison obtenues par exemple par des différences de préparation avant collage (rugosité, différences de caractère hydrophile, états des liaisons chimiques de surface, ...) et/ou par des différences de traitements thermiques, notamment après la mise en contact du collage
- 10 - en ce qui concerne la couche de microcavités, être réalisée par un sous-dosage d'implantation dans la seconde zone, ou par une croissance préférentielle de microfissures dans la première zone
- 15 - en ce qui concerne la couche poreuse, en jouant sur le pourcentage de porosité pour qu'il soit plus important dans la première zone,
- 20 - en ce qui concerne la couche intermédiaire de composition chimique différente destinée à faire l'objet d'une attaque chimique sélective, en jouant sur la variation de composition chimique, qui peut juste être une différence de dopage ou de pourcentage de composition pour un semi-conducteur composé par exemple, qui aurait un impact direct sur une variation de sensibilité d'attaque chimique vis-à-vis d'un procédé de gravure.

Plus précisément, dans le cas où deux zones seulement sont présentes, selon des caractéristiques préférées de l'invention, éventuellement combinées (la seconde zone entoure donc la première zone) :

- 25 • après l'étape de réalisation de l'interface sont effectuées une étape d'isolation d'une parcelle de la couche contenant cette première zone et cette seconde zone de telle sorte que cette seconde zone longe la
- 30 périphérie de cette parcelle, puis une opération de démontage selon laquelle on décolle le substrat et la couche mince ; dans ce cas, dans certains cas, l'étape de décollement est avantageusement précédée d'une étape de

délimitation physique de la seconde zone vis-à-vis de la première zone, par exemple après découpe partielle ou totale, par gravure chimique totale ou partielle, par fracture mécanique totale ou partielle etc.

- L'interface est réalisée entre une surface du substrat et une surface de la couche, et l'étape de réalisation de l'interface comporte une étape de préparation d'au moins l'une de ces surfaces, une étape de collage selon laquelle cette surface est collée à l'autre surface par collage par adhésion moléculaire ; de manière préférée, l'étape de réalisation de l'interface comporte avantageusement une étape de préparation pour chacune des surfaces du substrat et de la couche. De manière préférée, l'étape de préparation de surface comporte une étape de traitement selon laquelle, par exemple, on diminue le caractère hydrophile ou on augmente localement la rugosité de cette surface en cette première zone ; il s'agit par exemple d'une attaque acide localisée de la surface en cette première zone ; plus précisément, de manière encore plus préférée, l'une au moins de surfaces comporte une couche d'oxyde et l'attaque acide est effectuée avec de l'acide HF, la surface étant, en cette seconde zone, protégée de cette attaque par une couche de protection (par exemple en nitrure) qui est éliminée après l'attaque. Dans une autre variante, la surface d'au moins une des deux plaques est rendue entièrement rugueuse, et sur certaines parties, la rugosité est ensuite modifiée, essentiellement dans le sens d'une amélioration, pour obtenir des forces de collage plus grandes, par exemple à l'aide de traitements de polissage chimique ou de traitements mécaniques ou mécano-chimiques ou ioniques, ou encore par gravure sèche.
- Pour préparer la surface en contrôlant la rugosité, on peut par exemple, notamment lorsque l'une des surfaces est un oxyde, utiliser une attaque partielle acide effectuée avec de l'acide HF.
- L'étape de réalisation de l'interface comporte une étape de fragilisation d'une couche enterrée dans un substrat de départ, selon laquelle au moins la première zone est plus fragilisée que la seconde zone, cette couche enterrée étant disposée entre une partie formant la couche, et une partie formant le substrat. De manière préférée, l'étape de fragilisation comporte

une étape d'implantation d'au moins un élément, de préférence gazeux, cette étape d'implantation étant conduite de façon différenciée pour les première et seconde zones.

- 5 • L'étape de réalisation de l'interface (ou couche intermédiaire) comporte une étape de traitement propre à rendre poreux une couche superficielle du substrat, cette étape de traitement étant conduite de façon différenciée pour les première et seconde zones, puis une étape de couverture selon laquelle la couche est réalisée au-dessus de cette couche poreuse. Dans le cas particulier où le substrat est en silicium, cette étape de traitement comporte
10 avantageusement une électrolyse en milieu acide HF.
- La tenue mécanique et/ou chimique de l'interface ou couche de liaison est modifiée à l'aide de traitements thermique non-uniformes permettant de renforcer sélectivement ou au contraire affaiblir sélectivement certaines zones plus que d'autres, selon qu'il s'agisse d'un collage de surfaces
15 rugosifiées, de matériaux poreux, de défauts enterrés, de micro-cavités gazeuses ou non.
- L'étape de réalisation de l'interface est suivie d'une étape de démontage de la couche vis-à-vis du substrat. De manière avantageuse, entre l'étape de réalisation de l'interface et l'étape de décollement, une étape de collage est effectuée, au cours de laquelle la couche est collée à un second substrat.
20 Cette étape de collage comporte, avantageusement, un collage par adhésion moléculaire ou un collage par adhésif (par exemple par une colle durcissable par rayonnement UV, une résine, une colle polymère). Dans ces cas, l'étape de démontage est avantageusement réalisée par attaque acide
25 et/ou application de contraintes mécaniques.
- La couche est en matériaux semi-conducteurs (Si, Ge, SiGe, SiC, GaN et autres nitrures équivalents, AsGa, InP, Ge...) ou en matériaux ferroélectriques ou piézoélectriques (LiNbO₃, LiTaO₃) ou magnétiques « processés » ou non.
- 30 • La couche mince présente sur le substrat démontable a été obtenue par amincissement d'un substrat initial du matériau semi-conducteur.

WO 02/084721

15

PCT/FR02/1266

- L'amincissement est obtenu par rectification et/ou polissage mécanochimique ou non et/ou attaque chimique.
 - La couche mince présente sur le substrat démontable a été obtenue par découpe dans substrat initial du matériau semiconducteur.
- 5
- La découpe est obtenue par une découpe au niveau d'une couche fragile enterrée.
 - La couche fragile enterrée est obtenue par implantation et la séparation est obtenue par traitement thermique et/ou mécanique et/ou chimique.
 - L'espèce implantée est une espèce gazeuse (Hydrogène, Hélium...)
- 10
- En terme de produit, l'invention propose un ensemble comportant une couche sur un substrat, cette couche, étant reliée à ce substrat par une interface dont au moins une première zone choisie a un premier niveau de tenue mécanique et une seconde zone choisie a un niveau de tenue mécanique sensiblement supérieur au premier niveau, la seconde zone entourant la
- 15
- première zone.
- Selon des caractéristiques préférées, éventuellement combinées :
- Une parcelle délimitée (par découpe, gravure etc...) totalement ou partiellement dans cette couche contient cette première zone et cette
- 20
- seconde zone de telle sorte que cette seconde zone longe la périphérie de cette parcelle.
- L'interface est réalisée entre une surface du substrat et une surface de la couche qui sont collées par adhésion moléculaire. De manière préférée, l'une au moins des surfaces de l'interface a, en cette seconde zone, une plus faible rugosité que dans la première zone.
- 25
- L'interface est formée par une couche enterrée dans un substrat de départ, la première zone étant plus fragilisée que la seconde zone.
 - L'interface est formée par une couche poreuse entre cette couche et ce substrat, cette couche présentant des différences de porosité entre ces première et seconde zones.
- 30
- Cette couche est en outre collée à un second substrat, avantageusement par adhésion moléculaire, ou par adhésif, par exemple par une colle durcissable par rayonnement UV.

WO 02/084721

16

PCT/FR02/01266

- La tenue mécanique et/ou chimique de l'interface ou couche de liaison est modifiée sélectivement à l'aide de traitements (thermiques, insolation UV, irradiation laser etc ...) localisés ou non-uniformes permettant de renforcer sélectivement ou au contraire affaiblir sélectivement certaines zones plus que d'autres, selon qu'il s'agisse d'un collage de surfaces rugosifiées, de matériaux poreux, de défauts enterrés, de micro-cavités gazeuses ou non.
- La couche est en matériaux semi-conducteurs (Si, Ge, SiGe, SiC, GaN et autres nitrures équivalents, AsGa, InP, ...) ou en matériaux ferroélectriques ou piézo-électriques (LiNbO₃, LiTaO₃) ou magnétiques « processés » ou non.

Brève description des dessins

Des objets, caractéristiques et avantages de l'invention ressortent de la description qui suit, donnée à titre d'exemple illustratif non limitatif en regard des dessins annexés sur lesquels :

- la figure 1 est une vue schématique en vue de dessus partielle d'une face sur laquelle deux zones sont préparées en sorte d'avoir des caractéristiques de collage moléculaires différentes,
- la figure 2 est une vue en coupe selon la ligne II-II de la figure 1,
- la figure 3 est une vue d'un ensemble comportant une couche mince sur un substrat, suivant une interface du type de la figure 1,
- la figure 4 est une vue schématique en coupe de l'ensemble d'une couche mince sur un substrat,
- la figure 5 est une vue en coupe d'une plaquette de substrat muni d'une couche protectrice,
- la figure 6 est une vue de la plaquette de la figure 5 après évidement,
- la figure 7 est une vue de cette plaquette après remplissage de l'évidement par un dépôt d'oxyde,
- la figure 8 est une vue de cette plaquette recouverte du dépôt, après polissage,

WO 02/084721

17

PCT/FR02/01266

- la figure 9 est une vue de cette plaquette après élimination du surplus du revêtement d'oxyde,
- la figure 10 est une vue de cette plaquette après fixation de la couche mince, ou après fixation d'une couche épaisse puis amincissement de celle-ci,
- la figure 11 est une variante de l'ensemble de la figure 10, dans laquelle le revêtement d'oxyde pénètre dans le substrat ainsi que dans la couche mince,
- la figure 12 est une variante de l'ensemble de la figure 10 dans laquelle le revêtement d'oxyde est prévu dans la couche mince,
- la figure 13 est une variante de l'ensemble de la figure 11 dans laquelle l'oxyde occupe des zones différentes dans le substrat et dans la couche mince,
- la figure 14 est une variante dans laquelle l'interface est formée d'une couche formée, selon les zones, par des matériaux différents (ici SiO₂ et Si₃N₄),
- la figure 15 est une variante de la figure 10, montrant une pluralité de zones formées par l'oxyde,
- la figure 16 est une variante de la figure 14, montrant une couche intermédiaire formée d'une pluralité de zones de matériaux différents,
- la figure 17 est une variante montrant des couronnes Z1 et Z2 concentriques et alternées,
- la figure 18 est une variante montrant un réseau de zones Z1 dans une zone globale Z2,
- la figure 19 est une vue schématique de l'ensemble de la figure 4 après dépôt d'une couche superficielle,
- la figure 20 est une autre vue après collage moléculaire d'un substrat final,
- la figure 21 est une autre vue après application d'une action de décollement,
- la figure 22 est une vue schématique d'une plaquette obtenue après décollement et un polissage,

WO 02/084721

18

PCT/FR02/01266

- la figure 23 est une vue d'un ensemble démontable du type de la figure 4,
- la figure 24 en est une vue après réalisation de tout ou partie de composants, par exemple de la première grille de transistor,
- 5 - la figure 25 en est une vue après dépôt d'oxyde,
- la figure 26 en est une vue après planarisation par CMP,
- la figure 27 en est une vue après collage par adhésion moléculaire (y compris traitement thermique,
- la figure 28 en est une vue après démontage et désoxydation,
- 10 - la figure 29 est une vue d'un ensemble démontable du type de la figure 4,
- la figure 30 en est une vue après réalisation de composants,
- la figure 31 en est une vue après démontage sans report sur substrat cible, par gravure HF et/ou application d'efforts mécaniques,
- 15 - la figure 32 en est une vue après démontage en un substrat final et un substrat recyclable,
- la figure 33 est une variante de la figure 30, après découpe de tranchées ou d'entailles entre les composants,
- la figure 34 en est une vue montrant un composant en train d'être
- 20 décollé, par exemple après gravure HF,
- la figure 35 est une vue analogue à la figure 4,
- la figure 36 est une vue schématique en coupe de l'ensemble de la figure 35 après collage par adhésif d'un substrat transparent,
- la figure 37 est une vue de la partie supérieure de cet ensemble
- 25 après décollage et polissage,
- la figure 38 est une vue de la partie supérieure de cet ensemble après décollage et polissage,
- la figure 39 est une vue d'un ensemble analogue à celui de la figure 4 visualisant des zones sont éliminées par détournage mécanique et
- 30 chimique,
- la figure 40 en est une vue après collage d'un substrat supérieur,

WO 02/084721

19

PCT/FR02/01266

- la figure 41 est une vue agrandie d'un ensemble comportant des zones Z1 et Z2 intercalées,
- la figure 42 est une vue d'un ensemble analogue à celui de la figure 4,
- 5 - la figure 43 en est une vue après dépôt d'un empilement épitaxial à base de GaN,
- la figure 44 en est une vue après collage d'un substrat,
- la figure 45 en est une vue au moment d'un décollement,
- la figure 46 en est une vue de la partie supérieure après
- 10 polissage,
- la figure 47 en est une vue après enlèvement de la couche sous l'empilement,
- la figure 48 est une vue d'un substrat comportant une couche fragile enterrée, et
- 15 - la figure 49 est une vue d'un substrat comportant une portion de couche fragile enterrée.

Description de l'invention

20 1- interface de collage par adhésion moléculaire

~~Les exemples non limitatifs qui suivent sont destinés à illustrer les aspects~~
détailées concerneront principalement le cas du silicium, généralement disponible sous forme de substrats ronds, par exemple en diamètre de 200mm. De manière non-limitative, ces procédés se transfèrent aisément sans sortir du

25 contexte de l'invention à d'autres systèmes caractérisés en particulier par des matériaux autres que le silicium.

Parmi les différents mode de mise en œuvre du procédé selon l'invention, certains tendent à favoriser un décollement de la couche de son substrat au niveau global, c'est à dire à l'échelle de la totalité du substrat, tandis

30 que d'autres tendent à délimiter des parcelles.

Dans le premier cas, un ensemble que l'on cherche à réaliser se retrouve schématiquement en figure 1 et 2, l'interface (ou la couche

WO 02/084721

20

PCT/FR02/01266

intermédiaire) schématisée sur la figure 2 représentant la région dans laquelle on va chercher à créer des différences locales quant à la liaison. En plus de ces figures, la figure 3 en particulier représente un exemple de la préparation d'une face destinée à participer à une interface ayant, conformément à l'invention, deux zones ayant des tenues mécaniques différentes. Plus précisément, dans cet exemple représenté, le but est d'obtenir une zone centrale Z1 de tenue mécanique E_{c1} inférieure à celle, E_{c2} , d'une zone périphérique Z2, entourant cette zone centrale.

10 Dans le but d'obtenir une énergie de collage supérieure en périphérie Z2 par rapport au centre Z1, différentes méthodes peuvent être utilisées. Les exemples de collages $\text{SiO}_2/\text{SiO}_2$ et Si/SiO_2 vont être considérés. Dans le cas de natures de couches différentes (Si_3N_4 est un autre exemple classique, mais aussi les siliciures), il suffit, par analogie avec ce qui va suivre, d'utiliser des traitements chimiques adaptés (par exemple $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ (appelé aussi SC1) pour le Si et H_3PO_4 ou HF pour le Si_3N_4). La figure 4 représente l'option où le substrat 11 et la couche mince 14 sont en silicium monocristallin, et où deux couches intermédiaires 12 et 13 ont été formées préalablement au collage sur le substrat 11 et la couche mince 14 respectivement. Bien entendu, l'une seulement des deux couches intermédiaires 12 ou 13 peut suffire, ou encore le cas où aucune des deux n'existe (collage Si/Si) doit être considéré correspondant ainsi à deux cas particuliers. Dans le cas où ces couches intermédiaires 12 et 13 existent et sont toutes deux en SiO_2 , on dénomme le système par collage $\text{SiO}_2/\text{SiO}_2$. Dans le cas où l'une seule des deux existe et est en SiO_2 , on dénomme le système par collage Si/SiO_2 .

Dans le but de réaliser une structure telle que celle décrite en figure 4, et au delà des aspects techniques liées au collage par adhésion moléculaire, plusieurs techniques peuvent être employées dont celles déjà citées auparavant pour la réalisation de substrats SOI non démontables (voir 30 Semiconductor Wafer Bonding, Science and Technology, Q. Y. Tong et U. Gösele, Wiley Interscience Publication). Par la suite on appellera la couche 14 la couche active, représentant la couche qui comprendra les composants sauf

pour certains cas particuliers pour lesquels une couche additionnelle épitaxiale par exemple sera déposée sur cette couche 14. Dans certaines variantes de l'invention, la couche mince est obtenue par amincissement mécanique et/ou chimique de la structure. Ces variantes sont connues sous la dénomination

5 BSOI (Bonded SOI) ou encore BESOI (Bond and Etch Back). Ces variantes reposent, outre sur un collage comprenant l'adhésion moléculaire, sur un enlèvement physique du substrat initial soit par des techniques de type polissage et/ou des techniques de gravure chimique. D'autres variantes, en partie décrites auparavant comme technique de transfert de couche, reposent

10 en plus du collage par adhésion moléculaire sur la séparation par "découpe" ou clivage le long d'une zone fragilisée telles que les méthodes décrites dans les documents US-A-5374564 (ou EP-A-533551), US-A-6020252 (ou EP-A-807970) et (séparation le long d'une zone implantée) ou encore dans le document EP 0925888 (séparation par fracture le long d'une couche enterrée

15 porosifiée).

Concernant les aspects spécifiques liés au collage pour la réalisation de substrats démontables, dans le cas du collage $\text{SiO}_2/\text{SiO}_2$ (ou encore Si/SiO_2), on peut tout d'abord utiliser un masque temporaire qui permet de

20 déposer une couche de protection, par exemple en nitrure Si_3N_4 , seulement sur la couronne de la couche d'oxyde SiO_2 12 et/ou 13. Cette couche d'oxyde peut avoir été préparée de plusieurs manières (dépôt, oxydation thermique du silicium) et présenter une épaisseur variable selon l'application. Pour cet exemple, nous pouvons choisir un oxyde thermique d'épaisseur 1 μm . On

25 obtient ainsi la structure suivante : la surface du disque central est formée d'oxyde seul tandis que la surface de la couronne extérieure (typiquement, de quelques mm de large) est formée ce cet oxyde recouvert d'une couche de protection supplémentaire (en nitrure par exemple).

On procède ensuite à une attaque HF dont le but est de rugosifier la

30 surface de l'oxyde, rugosification dont l'importance sera croissante avec l'épaisseur d'oxyde enlevée. Pour chaque application, l'importance de cette rugosification peut être optimisée, notamment en fonction du cahier des charges

- du procédé de réalisation des composants (ou de croissance épitaxiale) qui devra être formé sans délamination et du mode retenu de mise en oeuvre du démontage final. Typiquement, un enlèvement par attaque HF d'une épaisseur d'oxyde de l'ordre de quelques centaines à quelques milliers d'Å est un bon compromis de départ. Une épaisseur de l'ordre de 1000 Å de nitrure permet de protéger l'oxyde se trouvant au-dessous de toute attaque par HF. Cette attaque augmente la rugosité de la zone centrale de la couche d'oxyde 12 et/ou 13. L'enlèvement du nitrure, ensuite, se fait, par exemple, par attaque à l'acide orthophosphorique (H_3PO_4) chaud ($>110^\circ C$). A cela, on peut coupler un nettoyage humide ou sec sélectif pour obtenir une hydrophilie différente entre Z1 et Z2. On obtient ainsi un effet allant dans le sens d'un collage à tenue plus faible que le collage standard au centre et à tenue identique au cas standard à l'emplacement de la couronne.
- 15 Dans le cas où l'épaisseur d'oxyde enlevée devient importante, notamment parce que l'application le demande (notamment dans la gamme des quelques milliers d'Å, sachant que 5000 Å est un bon compromis de départ pour de nombreux cas), il faut noter qu'outre l'effet recherché d'augmentation locale de la rugosité, il en résulte la création d'une différence de niveau entre la zone centrale (qui a subi l'attaque HF) et la couronne (qui a été préservée de cette attaque). Pour obtenir un collage de très bonne qualité au niveau de la couronne en combinaison avec un collage de qualité satisfaisante dans la zone centrale, il peut être nécessaire, dans certains cas, de faire disparaître ou amoindrir cette différence de niveau. Pour cela, il peut être judicieux d'utiliser un polissage (de type mécano-chimique par exemple). Du fait de la différence de niveau, un polissage à priori uniforme résulte, par effet planarisant bien connu dans le domaine de la micro-électronique, en un polissage préférentiel sur la zone émergente, c'est-à-dire dans la zone de la couronne dans le cas présent. Mais ce polissage peut aussi être volontairement localisé à la couronne. On peut de façon préférentielle polir la couronne par exemple en utilisant un tissu de polissage évidé au centre dans le cas où le substrat est circulaire, permettant ainsi de ramener le niveau de la couronne à celui de la

WO 02/084721

23

PCT/FR02/01266

zone centrale attaquée par le HF. De plus, on sait que le polissage conduit à des énergies de collage supérieures à celles obtenues par collage par adhésion moléculaire classique (sans polissage). On combine ainsi deux effets allant dans le sens d'un collage à tenue plus faible que le collage standard au centre et à tenue plus forte, à l'emplacement de la couronne. Un tel ensemble est un autre cas particulier correspondant à la figure 3. Une autre façon de ramener le niveau de la couronne à celui du centre peut être de réaliser une gravure localisée de type humide ou sèche.

Une alternative consiste à rugosifier l'ensemble de la couche intermédiaire 12 et/ou 13, c'est à dire sans protéger la couronne, mais à ajouter localement au niveau de cette couronne un traitement qui augmentera significativement la tenue du collage. Parmi ces traitements, on peut citer par exemple l'emploi d'un traitement plasma Oxygène, d'un recuit localisé dont un des buts serait par effet de fluage de reconstruire et d'en réduire la rugosité la surface de l'oxyde ou tout autre traitement connu de l'homme du métier visant à améliorer la cohésion de l'assemblage. Ces traitements ont l'avantage de ne pas créer de relief.

Une autre alternative concerne l'emploi de recuits thermiques localisés (faisceau laser, fours non-uniformes, chauffage par lampe etc ...) après l'opération de collage. En effet, comme on peut le constater dans C. Maleville et al., Semiconductor wafer bonding, Science Technology and Application IV, PV 97-36, 46 The Electrochemical Society Proceedings Series, Pennington, NJ (1998), une différence de température de recuit après collage d'une centaine de degré peut mener, surtout dans le domaine des températures au delà de 800°C à une variation significative de l'énergie de collage. Cette alternative peut-être utilisée seule ou en combinaison d'une rugosification d'une couche intermédiaire au moins 12 et 13 ou seule, (c'est à dire sans étape de rugosification du tout). Un exemple très précis, mais qui doit en aucune manière être considéré comme limitatif, de mise en œuvre pour un collage SiO₂/SiO₂ est de recuire l'ensemble de la structure à 1000°C mais de chauffer sélectivement la couronne à 1200°C. Un autre est de ne pas recuire du tout la

5 couronne, à une température de 1000°C. Pour cette alternative de recuits sélectifs, il est entendu que, du fait des phénomènes de conduction thermiques et de la difficulté à réaliser des équipements qui chauffent localement avec une sélectivité parfaite, un chauffage localisé peut résulter en un gradient d'apport de chaleur. Dans ce cas, la température de recuit peut être considéré comme maximum aux bords du substrat et chutant au fur et à mesure que l'on se rapproche du centre du substrat.

10 Une autre variante pour la réalisation d'un substrat démontable peut être basée sur une différence de nature chimique entre la zone Z1 et la zone Z2. Nous pouvons par exemple citer, de manière non exhaustive, les couples suivants : Z1=SiO₂ et Z2= Si ; Z1=Si₃N₄ et Z2=SiO₂, Z1=Si₃N₄ et Z2=Si etc ... Nous allons seulement décrire le cas du couple Z1=SiO₂ et Z2= Si.

15 Sur un substrat de silicium, une couronne protectrice (résine, dépôt PECVD,...) de quelques mm de largeur est déposée de manière à définir les dimensions de la zone Z2, comme le montre la figure 5.

20 La structure est ensuite gravée (gravure humide ou sèche selon les techniques classiquement employées pour graver le silicium) de telle sorte que cette gravure n'attaque que la région non protégée. On peut aussi envisager une attaque mécanique (fraisage, polissage ...) qui n'usinerait que le centre de par la configuration et/ou dimension de l'outil utilisé. Dans ces, l'opération de dépôt d'une couche de protection n'est plus indispensable. Quel que soit la méthode, nous obtenons une plaquette de silicium évidée en son centre (avec éventuellement une étape de retrait de la couronne protectrice), comme le

25 montre la figure 6.

Nous avons ainsi défini l'emplacement de la zone Z1 (disque évidé) et la zone Z2 (couronne extérieure).

30 Sur ce substrat évidé, un oxyde est déposé par CVD. L'épaisseur de la couche d'oxyde déposée est largement supérieure à la profondeur de l'évidement, menant au cas de la figure 7.

Un polissage planarisant va permettre d'éliminer la différence de niveau entre la couronne et le centre de la structure ainsi que la forte rugosité

intrinsèque à ce type de dépôt (voir figure 8). Ensuite, une gravure HF est réalisée de manière à aboutir à la structure représentée en figure 9. Dans ce cas, la gravure HF est arrêtée lorsque le silicium affloure en couronne. On se retrouve alors dans une configuration « silicium en couronne et oxyde rugosifié au centre », ce qui définit un différentiel d'énergie entre Z1 et Z2, d'une part car ces deux zones présentent une rugosité différente et d'autre part car la nature des matériaux est différente (propriétés de collage par adhésion moléculaire différente).

Suivant le différentiel d'énergie désiré entre Z1 et Z2, on peut modifier cette séquence pour aboutir à une configuration « silicium en couronne et oxyde non-rugosifié au centre ». Pour cela, on peut par exemple supprimer l'étape de gravure HF mais prolonger l'étape de polissage préalable jusqu'à l'affleurement lors du polissage de la couronne silicium. Dans ce cas, le différentiel d'énergie entre Z1 et Z2 repose essentiellement sur la différence de nature des matériaux. Dans ce cas-là, le différentiel est plus faible.

L'évidement et le dépôt d'oxyde ont été cités dans le cas où il sont réalisés sur le substrat 11 (on obtient après collage la configuration de la figure 10). Une variante consiste à réaliser ces opérations du côté de la couche mince 14 (voir la figure 11), voire des deux côtés (voir la figure 12).

Pour d'autres couples de matériaux pouvant caractériser une différence de tenue mécanique, les procédés peuvent comporter quelques étapes supplémentaires. Par exemple si l'on cherche à obtenir le couple Z1=Si₃N₄ et Z2=SiO₂, outre le dépôt d'oxyde, un dépôt de Si₃N₄ devra être réalisé en prenant soin de définir pour l'ensemble de la structure la couronne recherchée à l'aide de techniques classiques de masquage (photo-lithographie, méthodes mécaniques, ...etc...). Cette structure a pour avantage de présenter une excellente sélectivité concernant l'attaque chimique entre les deux matériaux considérés (par exemple à l'aide de HF) qui pourra permettre de faciliter le démontage par un enlèvement aisé et sélectif par gravure chimique de la couronne.

D'autres configurations sont possibles ; ainsi par exemple :

- la figure 13 est une variante de la figure 11 où la couche centrale n'a pas les mêmes dimensions dans le substrat et dans la couche mince,
 - la figure 14 représente un ensemble où la couche d'interface entre le substrat et la couche mince comporte une portion centrale Z1 et un matériau (Si3N4) différent de celui de la portion périphérique Z2(SiO2), ces deux portions étant en des matériaux différents de ceux du substrat et de la couche mince (ici en Si),
 - la figure 15 est une variante de la figure 10 où il y a plusieurs zones Z1 en un matériau distinct du support,
 - la figure 16 est une variante de la figure 14 où il y a plusieurs zones Z1(et plusieurs zones Z2) en matériaux (ici Si3N4 et SiO2) différents de ceux du substrat et de la couche mince (ici Si).
- Les figures 15 et 16 peuvent correspondre à plusieurs géométries dont les figures 17 et 18 donnent des exemples (au niveau puce ou pas),
- la figure 17 correspond à une configuration présentant une pluralité de bandes concentriques Z1 ou Z2, et
 - la figure 18 correspond à une configuration présentant un réseau (en rangées et colonnes) de zones d'un type (ici Z1) dans une zone globale de l'autre type (Z2).
- Au delà de la réalisation du substrat dit démontable lui-même à partir de techniques basées sur le collage moléculaire, plusieurs moyens existent quant à son utilisation et aux moyens de le mettre en œuvre.
- L'intérêt de ce substrat démontable est, suivant l'épaisseur de la couche active processée (c'est à dire traitée en sorte d'y réaliser tout ou partie d'un composant) ou non, de permettre la désolidarisation de la couche active pour obtenir, soit une couche autoportée (couche relativement épaisse, que cette épaisseur soit déjà présente dès la fabrication du substrat démontable ou lors d'étapes de dépôts postérieurs à sa fabrication comme c'est le cas lors d'une étape d'épitaxie), soit une couche superficielle en général plus fine reportée sur un support cible, qu'il soit le support définitif ou juste un support temporaire destiné à être lui-même démonté.

WO 02/084721

17

PCT/FR02/01266

Un tel transfert de la couche superficielle sur le substrat cible peut être réalisé de différentes façons.

Tout d'abord, ce transfert peut être effectué par un nouveau collage par adhésion moléculaire de ce qui doit devenir la couche mince à transférer sur un autre substrat.

5 A titre d'illustration, nous allons décrire un procédé de démontage dans l'optique de réaliser une nouvelle structure de type SOI que l'on appellera ici deuxième SOI. Un tel procédé, à priori moins direct que les techniques évoquées ci-avant présente cependant quelques intérêts. L'exemple choisi ici
10 concerne la réalisation d'une deuxième substrat SOI avec un oxyde enterré de 500Å, épaisseur qu'il est délicat d'obtenir avec un tel procédé mené en direct.

La première structure est obtenue selon l'une des voies décrites précédemment pour aboutir au substrat démontable correspondant à la figure 4. La couche 14 de silicium monocristallin pour cet exemple sera la future
15 couche active. Sur ce substrat démontable dont la zone centrale de la couche de liaison ayant été d'une part rugosifiée avant collage et n'ayant d'autre part pas subi de traitement thermique de renforcement à des températures très élevées (préférentiellement inférieures à 1100°C et encore mieux en deçà de 1000, voire 900°C), un oxyde de 500Å est formé par oxydation thermique pour
20 mener à la structure représentée en figure 20. Cet oxyde deviendra le futur oxyde enterré de la deuxième structure SOI. Ce substrat démontable (11+12+13+14+15) est, dans l'exemple considéré collé par adhésion moléculaire sur un substrat de silicium 16 (voir figure 2) qui deviendra le futur support final de la couche active. L'empilement obtenu est de préférence
25 stabilisé à haute température (1100°C) pour consolider fortement le second collage à l'interface des couches 15 et 16. Ce second collage est classique en ce sens qu'il n'y a pas de différenciation entre des zones à tenue mécaniques différentes. Le premier collage subissant le même traitement aura cependant, au moins dans sa partie centrale correspondant à la zone Z1 une tenue
30 mécanique inférieure au deuxième collage. Pour le décollement, on peut utiliser une méthode mécanique et/ou chimique. Ainsi, à titre d'exemple, on commence par plonger l'empilement obtenu dans un bain de HF, dont un des buts est de

surgraver l'oxyde 12 et 13 en partant des bords de l'ensemble pour éliminer la couronne correspondant à la zone Z2 et déboucher sur la zone Z1. Les deux interfaces 12/13 et 15/16 vont être préférentiellement attaquées. De plus, l'interface 12/13 du substrat démontable est de façon avantageuse une interface oxyde/oxyde. Ainsi elle file plus facilement que l'interface 15/16 qui est entre de l'oxyde et du silicium. Donc, lors de cette étape de décollement de la couronne à tenue mécanique plus forte, on attaque moins de surface au niveau de l'interface du second collage qu'au niveau de l'interface du substrat démontable. Lorsque l'acide est arrivé au niveau de la zone à énergie faible (zone centrale) – voir la figure 21, une séparation à caractère mécanique (jet d'eau sous pression comme dans le document EP 0825888, jet d'air comprimé comme dans le document FR 2796491, traction comme dans le document WO 00/26000, insertion d'une lame...) permet de libérer complètement la structure finale 13+14+15+16 (voir la figure 22). Suite à l'enlèvement de l'oxyde 13, par exemple par attaque HF, la structure finale SOI est enfin obtenue. La plaque 11 de Si, qui a servi de substrat au sein du substrat démontable, peut être recyclée et réutilisée, par exemple pour la réalisation d'un autre substrat démontable (après, de préférence, élimination de la couche 12).

Pour l'élimination de la couronne afin d'avoir accès à la zone de tenue Z1, d'autres moyens peuvent consister à éliminer au moins partiellement la couronne. Pour ceci, les techniques de gravure chimiques, sèche ou humide, ou d'autres techniques mécaniques de polissage, de découpe laser etc., peuvent être employées localement au niveau de la couronne (voir figures 39 et 40 qui correspondent à la réalisation d'un détournage (zone hachurée) mécanique ou chimique avant de coller le second substrat).

Il est à noter que l'oxyde enterré de 500Å 15 formé au préalable sur la couche 14 aurait pu être formée sur le substrat 16 avant collage et non sur la couche 14. Une autre variante eut consisté à diviser l'épaisseur de 500Å en deux parties pour former une partie sur le substrat 16, par exemple 250Å, et l'autre partie sur la couche 14, 250 Å dans l'exemple respectivement.

Il est à noter que si les deux interfaces collées par adhésion moléculaire sont tous deux du type oxyde/oxyde, la stabilisation du deuxième

WO 02/084721

29

PCT/FR02/01266

collage à haute température peut avoir été conduite en sorte de garantir que l'attaque HF se fait préférentiellement au niveau de la première interface. Dans ce procédé la création d'une zone Z1 à faible tenue mécanique a permis de séparer préférentiellement l'empilement complet selon la première interface de collage et la zone Z2 a permis d'une part de prélever une couche active 14 de

5 bonne qualité et d'éviter d'autre part, des amorces de fissure qui peuvent engendrer des pertes de rendement, une diminution de surface du film actif due au pelage du film en bord, et donc une forte augmentation de la contamination particulaire sur les plaquettes.

10 Un autre exemple de mise en œuvre du procédé selon l'invention concerne la réalisation de structures de transistors dites à double grille. Les premières opérations liées à la fabrication des transistors consistent essentiellement à réaliser la première grille du transistor CMOS (voir figure 24)

15 selon une technologie conventionnelle sur un substrat démontable (voir figure 23) tel que celui décrit en figure (4). Identique on tout point au cas décrit ci-avant pour la réalisation de structures SOI à oxyde enterré fin. La température de stabilisation du collage peut éventuellement être réduite dans une gamme de température de l'ordre de 900/1000°C. Sur ce substrat est ensuite déposée

20 (voir figure 25) une couche d'oxyde d'une épaisseur de l'ordre du μm par une technique conventionnelle de dépôt (CVD par exemple). Cet oxyde est planarisé selon une technique conventionnelle de polissage mécano-chimique (voir figure 26). Ensuite, on procède à un collage par adhésion moléculaire avec un autre substrat de silicium 16 (voir figure 27). Ce collage est stabilisé

25 préférentiellement à une température de 1000 à 1100°C si les structures formées pour la première grille le supportent, à des températures de l'ordre de 900/1000°C sinon. Enfin l'on procède à la séparation (voir figure 28) de manière identique au cas précédent (insertion de lame, jet d'eau sous pression ou d'air comprimé etc.). Avant de reprendre le processus de fabrication du transistor,

30 notamment pour la réalisation de la deuxième grille (sur le nouveau « substrat » représenté à la figure 28), le résidu de la couche d'oxyde 13 est enlevé par gravure chimique. Du fait de l'emploi d'une attaque de l'oxyde avec une solution d'acide HF dont on connaît la sélectivité d'attaque par rapport au silicium, la

gravure s'arrête naturellement une fois que l'oxyde est entièrement gravé, permettant de retrouver une surface de silicium. Cette technique présente pour avantage majeur par rapport à d'autres techniques de fracture, obtenue par exemple grâce à une implantation, de ne pas nécessiter de séquences de

5 finition trop complexes et délicates quant à leur potentiel de création de défauts tels que le présente par exemple une opération de polissage final. Le reste de la fabrication du transistor à double grille est à la portée de l'homme du métier.

Le même processus peut-être utilisé pour de nombreuses autres

10 applications. Si la première structure SOI correspondant à la figure 4 est utilisée pour réaliser des transistors, circuits, composants etc., ceux-ci peuvent être reportés en final sur de nombreux types de support spécifiques. Par exemple, le substrat 16 peut être choisi pour ses propriétés isolantes d'un point de vue électrique (silicium haute résistivité, Quartz, saphir,...) pour fournir un support

15 idéal aux circuits hyperfréquences et de télécommunications, limitant ainsi les pertes dans le substrat. Pour des applications liées aux écrans plats, on choisira pour le support final un substrat transparent.

Un autre exemple de mise en œuvre du démontage est brièvement

20 décrit ici (figures 29 à 32) pour la réalisation de circuits sur substrats fins. Les épaisseurs d'intérêt en final sont typiquement en dessous de quelques centaines de μm s, voire de l'ordre de quelques dizaines de μm s. Elles concernent par exemple les applications de puissance ou les applications de carte à puce et autres circuits pour lesquels on recherche une certaine

25 souplesse (supports plastiques, supports courbes, etc.). Dans une variante de cet exemple, nous nous intéressons à un type de démontage ne nécessitant pas de report sur un substrat cible. Le but ici est de séparer, sans report la couche 14 après réalisation des circuits ou composants C, dans le cas où cette couche 14 est suffisamment épaisse pour être autoportée mais trop fine pour

30 subir sans dommage un procédé de réalisation de circuits (typiquement en dessous de quelques centaines de μm s, voire de l'ordre de quelques dizaines de μm s). Le procédé de réalisation du substrat démontable reste identique à

l'un de ceux décrits précédemment pour mener à la structure de la figure 4 par exemple. Si l'on s'intéresse au silicium en diamètre 200mm, l'épaisseur standard de substrats est de 725µm. Si l'application requiert un substrat final de 80µm par exemple, on choisira pour le substrat support 11 un substrat de silicium d'épaisseur de $725 - 80 = 645$ µm. Ce substrat de 645 µm est ensuite collé par adhésion moléculaire, par exemple, à une plaque de 725 µm en ménageant des zones de plus faible tenue mécanique. La plaque de 725 µm est alors amincie, par exemple par rectification et polissage mécano-chimique jusqu'à atteindre les 80 µm désirés. L'ensemble après assemblage correspond donc aux standards et résiste de manière suffisante aux procédés de fabrication de tout ou partie des composants. Après la réalisation de ces derniers, l'une des techniques de démontage cités auparavant peut être utilisée (figure 31 ; attaque HF et contraintes mécaniques) à la différence que le substrat 16 peut être omis. Dans certains cas néanmoins, sa présence peut être intéressante. Après démontage, la seule couche 14 autoportée représente le substrat final d'intérêt caractérisé par un substrat d'épaisseur de 80µm comprenant les composants. Le reste du substrat peut être recyclé.

Il peut y avoir, si on le souhaite, une découpe des puces avant démontage, ainsi que cela ressort des figures 33 et 34 : sur la figure 33 apparaissent des entailles entre les composants, s'étendant jusqu'en-dessous de la future zone de démontage, et la figure 34 représente un support d'arrachement SA collé sur l'une des parcelles et destiné à permettre l'arrachement après éventuelle attaque HF.

Suivant les opérations technologiques qui doivent être réalisées sur le substrat démontable avant la séparation, notamment les traitements thermiques, chimique et selon la nature des contraintes mécaniques, les paramètres de fragilisation devront être adaptés. Par exemple, si le substrat démontable consiste en une couche de surface en germanium possédant une interface de collage SiO₂-SiO₂ devant subir une température d'épilaxie de 550°C (cas typique dans le cas de la croissance de GaInAs constituant une

WO 02/084721

32

PCT/FR02/01266

cellule solaire pour le spatial), alors la rugosité devra être de avantageusement de 0,4 nm rms pour que le substrat soit démontable.

- Un autre exemple de mise en œuvre concerne la réalisation de circuits pour cartes à puces pour lesquels la souplesse du support devient critique, d'une part du fait de l'augmentation de la taille des circuits, et d'autre part car la tendance est à vouloir des cartes de plus en plus résistantes aux déformations. Un support de silicium monocristallin dont l'épaisseur est supérieure à la cinquantaine de μm s est dans ce cadre trop cassant du fait de sa trop grande épaisseur lorsqu'il est soumis à une effort de flexion tel que peut en subir régulièrement une carte à puces.

- La figure 35 représente un ensemble de départ similaire à celui de la figure 4, avec un substrat de départ 11', recouvert d'une couche d'oxyde de silicium 12', elle-même collée par adhésion moléculaire à une seconde couche d'oxyde de silicium 13', elle-même recouverte d'une couche 14' en silicium. Les circuits sont réalisés au sein de la couche 14' de silicium. Puis, pour l'assemblage sur le deuxième support 16' -figure 36-, on choisit de préférence une colle qui permet d'obtenir une couche 15 très fine, tout en ayant une tenue mécanique la plus forte possible à basse température, par exemple $<400^{\circ}\text{C}$, pour ne pas risquer de détériorer les composants de la couche active réalisés avant cette étape de collage. Il peut avantageusement s'agir de colles thermodurcissables voire de colles durcissables par application de rayons UV (il suffit dans ce cas de choisir un substrat final 16' qui est transparent aux UV).

- Pour découper selon la zone fragilisée du substrat démontable (ici l'interface de collage 12'/13'), il peut paraître délicat de réaliser un décollement purement chimique de type « lift-off » car les colles adhésives, ainsi que les substrats transparents aux UV (de quartz et de verre, en pratique) ne sont pas totalement inertes aux produits chimiques (HF, solvants,...). Par contre, pour décoller la structure au niveau de l'interface fragile 12'/13', une action purement mécanique peut être suffisante si l'énergie de collage au niveau de la couronne est inférieure à la tenue de la colle adhésive et des différentes couches

composant les circuits intégrés (cela peut être assez facilement obtenu). Il est alors possible de réutiliser le substrat du substrat démontable plusieurs fois. Outre une attaque chimique limitée de la couronne, il est possible d'autre part d'éliminer celle-ci en réalisant une découpe circulaire de la structure après le collage adhésif. Cette découpe peut être avantageusement réalisée par laser à la frontière entre la zone à forte énergie de collage et à plus faible énergie de collage. Si la couronne ne fait que quelques mm de largeur voir moins, il est alors possible de réutiliser le substrat.

De façon générale, on obtient le résidu du premier substrat, support du substrat jusqu'ici dénommé "démontable" (voir la figure 37) réutilisable après, de préférence, polissage de la couche 12' ainsi que la couche active 14' (figure 38) reportée sur cet autre support 16', ou en variante libre et autoportée si l'épaisseur de la couche 14' le permet.

A la différence des exemples précédents, le second substrat 16' peut en variante n'être qu'un substrat intermédiaire dans un procédé bien plus long qui se poursuivra ou par la suppression pure et simple de ce substrat intermédiaire 16' ou par un autre report de couche sur encore un autre support, en général avec suppression du substrat 16'. Le substrat démontable obtenu à l'aide de la technique décrite auparavant est collé, après avoir été « processé », sur le substrat intermédiaire. Ce substrat intermédiaire peut être un substrat rigide ou souple (voir les exemples précédents). S'il est rigide ce peut même être une plaque de silicium.

Pour le collage adhésif, on peut aussi envisager l'utilisation de films adhésifs connues de l'homme de l'art notamment pour procéder aux opérations de découpe de plaquettes de silicium et d'encapsulation de circuits intégrés ou encore de "packaging" ou encore de "back-end" selon deux expressions anglo-saxonnes (« sticky bleu », films adhésif en Teflon®, ...). Si ce film adhésif est double face, il peut être judicieux de coller en face arrière de ce film, en tant que substrat intermédiaire, un substrat ou support permettant la rigidification de l'ensemble au moment de la découpe.

- Les techniques de décollement envisageables incluent l'application de forces de traction et/ou de cisaillement et/ou de flexion. A ces applications de forces, il peut être judicieux de coupler une attaque chimique de l'interface voire d'autres moyens tels que ultrasons. Dans le cas où l'interface à décoller est du type oxyde, l'attaque de l'interface à énergie faible facilite le filage de l'interface de collage et donc le transfert de la couche traitée sur le substrat intermédiaire. Dans ces conditions, il est avantageux que les couches traitées soient protégées (par exemple par un dépôt supplémentaire de nitrure dans le cas d'une attaque HF).
- 10 Les moyens d'application des contraintes peuvent être appliqués directement sur le film mince ou encore sur le substrat intermédiaire (poignée). Ils peuvent être mécaniques (par insertion d'une lame au niveau de l'interface de collage, notamment) et/ou par l'utilisation d'une pince de décollement (WO 00/26000) et/ou par jet, par l'insertion d'un flux gazeux comme cela est décrit
- 15 dans le document FR 2706491 et/ou d'un liquide (EP 0925888, EP 0989593). Dans le cas du flux gazeux (ou même d'un liquide, avec par exemple du HF si l'interface est de l'oxyde), le substrat démontable peut avantageusement être préalablement préparé (par gravure chimique par exemple) pour pouvoir amener le fluide localement au niveau de l'interface de collage. Cette condition
- 20 permet de faciliter le décollement préférentiellement au niveau de l'interface de collage des structures multicouches, où doit se faire le décollement, en protégeant les différentes couches de la structure comportant les composants. Ainsi, il est possible de décoller l'interface de collage même lorsque l'adhérence entre elles des couches internes des composants est faible. On peut se référer
- 25 ici aux figures 39 et 40.
- Le substrat intermédiaire, parfois appelé « poignée » peut ensuite être découpé (ou non), totalement ou en partie (entailles ou débuts de découpe) en éléments correspondant aux composants électroniques et qui peuvent être reportés sur différents supports. Ce report peut être un report collectif où
- 30 l'ensemble des composants, même s'ils ne sont reliés entre que par un support, sont transférés en même temps lors de la même opération technologique ou être un report composant à composant (ou puce à puce) s'ils font l'objet les uns

WO 02/084721

J5

PCT/FR02/01266

après les autres de ce report. Ces supports peuvent être en plastique comme sur une carte à puce et, dans ce cas on utilise avantageusement de la colle pour le report. Les éléments peuvent aussi être reportés sur une plaque comportant d'autres dispositifs électroniques ou optoélectroniques et, dans ce cas, le report peut mettre à nouveau en œuvre une technique d'adhésion moléculaire (voir les figures 4 et 19 à 22 en imaginant la présence supplémentaire de composants réalisés dans la couche 14). Les éléments peuvent être reportés par des moyens classiques tels ceux dénommés « pick and place ». Les éléments peuvent être également reportés sur un autre support pour améliorer les propriétés par exemple d'un point de vue thermique.

Ensuite, en exerçant une contrainte ou en chauffant localement (à l'aide d'un laser par exemple), la couche mince, préalablement collée sur son support définitif, peut être séparée (élément par élément, ou globalement) de sa poignée par l'intermédiaire de forces mécaniques.

Comme indiqué à propos des figures 17 et 18, les zones Z1 et Z2 peuvent ne pas décrire un système composé d'une zone circulaire centrale Z1 entourée d'une couronne externe Z2. Une multitude d'autres structures peut être envisagée. Le réseau de carrés de la figure 18 peut être remplacé par d'autres formes de réseaux (lignes, colonnes, cercles concentriques, etc..) dont le pas et autres dimensions géométriques peuvent être variable en fonction de l'application et de la technique démontage retenue. L'intérêt d'adopter un réseau peut s'avérer préférable lorsque la structure qui sera réalisée imposera des contraintes mécaniques importantes qui se reporteront au niveau de l'interface de liaison (dans ce cas une répétition à courte échelle de zones à bonne tenue mécanique est préférable), ou lorsque la couche 14 peut présenter des trous, volontaires ou non, mettant à découvert localement la zone de liaison qui à son tour peut faire l'objet de délamination intempestive dont l'épicentre est le trou, ou encore par intérêt de simplification de procédé (par exemple pour une découpe en pucés unitaires) dans le cas de la réalisation de pucés. Dans le principe, des dimensions de l'ordre du μm seront préférées pour les structures ayant à subir un niveau de contraintes élevées (cas par exemple

WO 02/044721

36

PCT/FR02/01266

d'une hétéro-épitaxie ou tout autre dépôt ou étape technologique mettant la structure en tension ou compression marquée) ou dans le cas de petits de petits circuits, ou encore de circuits réalisés avec une résolution photo-lithographique sub-micronique. Dans le cas contraire des échelles de l'ordre du 5 mm voire du cm sont préférables. Plus de deux zones peuvent bien sûr être envisagées (Z1 ; Z2, Z3 etc...) selon de nombreuses combinaisons. Au delà d'un nombre discret de types de zones à tenue mécanique déterminée, on peut également envisager un continuum de zones caractérisé par une variation continue de la tenue mécanique. Ainsi on peut envisager par exemple que la 10 tenue mécanique passe continûment d'une valeur maximum au voisinage du bord vers une valeur minimale en son centre. Cette variation peut présenter ou non une symétrie de révolution autour de l'axe perpendiculaire au plan du substrat. Les procédés de réalisation pour aboutir à ce type de substrat et à leur utilisation lors du démontage restent en tout point similaire aux descriptions 15 données dans le cas de la figure 1 à 8, dès lors que les formes géométriques mises en oeuvre sont adaptées (formes des masques pour formation des couches de protection pour rugosification sélective, formes des masques pour dépôts sélectifs, forme des tissus de polissage qui peuvent être conçus pour polir préférentiellement des anneaux concentriques, etc ...).

20

Ces formes géométriques restent compatibles avec le transfert d'une couche 14 dans sa globalité du substrat initial démontable 11+12+13+14 vers le substrat cible 16.

25

Par opposition aux modes de mise en oeuvre du procédé selon l'invention qui tendent à favoriser un décollement de la couche de son substrat au niveau global, c'est à dire à l'échelle de la totalité du substrat, d'autres tendent à délimiter des parcelles, dont la forme est clairement liée aux puces ou composants qui seront réalisés à partir de la couche active. La figure 41 en 30 représente un exemple, avec un grossissement au niveau de la zone qui accueillera ultérieurement la puce (ou tout autre composant). Cette structure peut être répétée autant de fois qu'il y a de composants à démonter sur le

WQ 02/084721

37

PCT/FR02/1266

substrat initial. Idéalement, chaque zone Z2 entoure ou simplement longe le contour de chaque parcelle de zone Z1. La surface du composant (ou puce etc...) peut correspondre exactement avec la zone Z1 ou au contraire être supérieure ou bien encore inférieure, dans des configurations où l'une des la

5 surfaces du composant et de celle de la zone Z1 englobe l'autre. La configuration retenue dépend de la technique qui sera utilisée lors du démontage. Ces techniques peuvent être les mêmes, que celles qui ont été décrites auparavant pour le démontage d'un substrat ne présentant qu'une couronne Z2 entourant un disque central Z1. Une variante intéressante consiste

10 à utiliser une des techniques classiques de découpe de composant (sciage, découpe laser...) pour venir découper ou délimiter des tranchées, au moins partiellement autour des puces, parcelles etc... Une autre variante intéressante repose sur l'utilisation de gravures chimiques associées à une opération de photolithographie, pour réaliser des tranchées identiques et/ou provoquer

15 l'enlèvement de la zone de liaison correspondant à Z2. Comme le montre la figure 41 dans un exemple particulier, les traits verticaux en pointillés visualisent le contour des parcelles voulues. A titre d'exemple, après avoir préparé le collage par adhésion moléculaire sur une grande étendue, on ne découpe que les couches 3 et 4 suivant le contour représenté, puis on décolle

20 chaque parcelle vis-à-vis du substrat, ce qui revient à considérer que l'on décolle le substrat vis-à-vis de chaque parcelle (en variante, on peut découper toutes les couches, soit l'ensemble des parcelles à la fois). Dans la mesure où, après découpe, la zone à tenue mécanique élevée est en périphérie, le risque de délamination au cours d'étapes de traitement, par exemple destinées à

25 réaliser sur la couche 3 ou 4 des éléments électroniques, optiques ou autres, est réduit, tandis que, lorsque le décollement est voulu, il se propage sans difficulté, de manière contrôlée, dans la zone centrale (il peut avoir été amorcé en périphérie).

La combinaison de distribution de zones Z1 et Z2 visant à former une

30 couronne extérieure au niveau du substrat, tel que le montre la figure 4, avec une distribution visant à protéger chacune des puces, tel que le montre la figure 13, est une des combinaisons intéressantes.

Les exemples de mise en œuvre décrits précédemment ne se limitent bien entendu pas au simple cas du silicium monocristallin mais peuvent d'étendre à de nombreux matériaux tels que d'autres matériaux semi-conducteurs (Ge, SiGe, SiC, GaN et autres nitrures équivalents, AsGa, InP...) ou en matériaux ferroélectriques ou piézo-électriques (LiNbO₃, LiTaO₃) ou magnétiques « processés », qu'ils fassent l'objet de réalisation de composants ou non avant le démontage.

Il a déjà été cité que pour le cas correspondant à un substrat démontable consistant en une couche de surface en germanium possédant une interface de collage SiO₂-SiO₂ devant subir une température d'épitaxie de 550°C (cas typique dans le cas de la croissance de GaInAs constituant une cellule solaire pour le spatial), alors la rugosité devra être de avantageusement de 0,4 nm rms pour que le substrat soit démontable.

Un autre exemple est celui où l'on souhaite réaliser une étape d'épitaxie d'un empilement épitaxial sur un substrat démontable. Ceci est notamment le cas pour la réalisation de LEDs bleues et blanches ou de diodes laser en couches fines (par exemple pour une meilleure extraction de la lumière émise ou pour une meilleure évacuation de la chaleur grâce à un report sur un substrat bon conducteur thermique tel que le cuivre ou diamant). Dans ce cas, l'empilement épitaxial considéré est à base de semi-conducteurs composés dérivés du GaN (AlN, GaAlN, GaAlInN...). Un procédé consiste à former selon une des méthodes décrites auparavant, une structure démontable équivalente à celle de la figure 4 (ou de la figure 26 ou encore 35) où la couche 14 est du SiC 6H (face Si reporté vers le haut selon les figures), les couches 12 et 13 sont, pour l'exemple de la figure 4, des oxydes de Silicium et le substrat 11 est en SiC polycristallin (ou saphir). Sur cette structure (figure 42) on procède à la formation par épitaxie de l'empilement 15" à base de nitrures (figure 43). Cette épitaxie peut être réalisée par des techniques d'épitaxie bien connues de l'homme du métier sous les acronymes anglo-saxon de MBE (pour Molecular Beam Epitaxy) pour une catégorie d'entre elles ou par MOCVD (Metallo-

WO 02/084721

39

PCT/FR02/01266

Organic Chemical Vapor Deposition) pour une autre. Dans le premier cas, les températures de croissance épitaxiale dépassent rarement 600°C tandis que les températures typiques pour la seconde sont de l'ordre de 1050-1100°C. Pour chacune de ces deux techniques, le choix des couples ou ensemble de zones à tenue mécanique Z1, Z2 etc... doit être optimisé. Dans le second cas, on choisira par exemple un des procédés décrits précédemment basé sur une rugosification des deux couches d'oxyde 12 et 13 par attaque HF. On choisira également une variante consistant à former une couronne de 5mm de large à partir du bord du substrat. Cette structure fait ensuite l'objet de la croissance épitaxiale MOCVD pour réaliser à 1100°C un empilement dont l'épaisseur est de l'ordre de 1µm. Optionnellement, la structure est recuite avant épitaxie, typiquement dans la gamme de 900 à 1200°C afin de consolider fortement la tenue mécanique de la couronne. Après croissance, l'ensemble fait l'objet d'un dépôt d'oxyde, d'une planarisation par CMP, d'un collage par adhésion moléculaire (par exemple sur un substrat silicium) et d'un recuit à 1100°C pour renforcer ce dernier collage. On réalise la couche 16 (figure 44). Enfin on procède à la séparation selon l'interface de collage (figure 45). Quelques heures en bain de HF à 50% suffisent à graver latéralement la couche d'oxyde sur les quelques mms où cette interface correspond à la zone Z2 mettant ainsi à découvert la zone Z1. Ensuite, une séparation par efforts mécaniques est réalisée, par exemple par insertion d'une lame, par application d'un jet d'eau sous pression ou d'air comprimé selon par exemple les techniques décrites précédemment. Une désoxydation finale permet enfin d'enlever le résidu de la couche 13 d'oxyde -figure 46-. Optionnellement, au moins la couche 14 de SiC ayant servi de couche de nucléation à l'empilement épitaxial peut être supprimée par gravure (figure 41). La réalisation de diodes peut voir lieu avant ou après le transfert final.

30 2 - couche enterrée fragile comportant des micro-cavités, des micro-bulles ou des « platelets ».

L'interface entre le substrat et ce qui est destiné à former la couche « active » peut en variante être formé par une couche enterrée fragile,

formée par exemple de micro-cavités, de micro-bulles ou de « platelets ». Ce procédé est utilisable avec de nombreux matériaux semi-conducteur ou pas.

- La distinction entre les zones de tenue mécanique différentes est obtenue par des niveaux différents de fragilisation ; il suffit pour ce faire, dans le cas où, comme aux figures 1 à 3, on veut obtenir une zone centrale entourée d'une zone périphérique ayant une meilleure tenue mécanique, de moins fragiliser en périphérie qu'au centre, par exemple, en introduisant en périphérie moins d'espèces susceptibles de fragiliser la zone (par exemple par une implantation d'hydrogène) ; cela peut, par exemple, être obtenu en masquant une partie de la couche pendant une partie de l'opération d'implantation, ou en modifiant le balayage en cours d'implantation ; cela peut encore être obtenu en réalisant des implantations successives, dans des conditions différentes, sur les diverses zones dont on veut différencier les propriétés. On peut également fragiliser des zones de façon différente en leur appliquant des traitements thermiques différents et appropriés afin d'obtenir différents niveaux de fragilisation .

- Concernant la répartition des zones Z1 et Z2 (une couronne unique, définition de parcelles, réseaux de zones, multitude de zones,...), les techniques de démontage de ces structures (par contraintes mécaniques, traitements chimiques, traitements thermiques, enlèvement sélectifs des couronnes et zones Z2,...) et leur exemple de mise en œuvre, les éléments et exemples donnés en section 1 concernant le cas d'un interface ou couche intermédiaire réalisée par adhésion moléculaire restent valables.

25 3 - interface formée d'une couche poreuse

- Ainsi qu'on le sait, notamment d'après le document EP 0843346A2, une couche poreuse peut être obtenue, en particulier parmi les matériaux suivants : Si, GaAs, InP, GaAsP, GaAlAs, InAs, AlGaSb, ZnS, CdTe and SiGe, sous des formes qui peuvent être monocristallines, polycristallines ou amorphes.

Ce n'est donc qu'à titre d'exemple que la suite décrit le cas du silicium.

Il est possible d'obtenir par électrolyse dans du HF du silicium poreux. On sait faire varier la porosité du Si en modifiant la concentration du HF ou en faisant varier le courant. Par exemple, la porosité varie de 2,1 g/cm³ à 0,6 g/cm³ en diminuant la concentration de HF de 50% à 20%.

- 5 Ainsi, en protégeant la couronne extérieure de la plaquette de Si par un dépôt épais (par exemple en nitrure, oxyde, ou silicium polycristallin) il est possible de rendre poreux une zone centrale de la couche de silicium tout en en conservant la périphérie intacte. Ensuite, il suffit d'éliminer la couche déposée à la périphérie, et d'électrolyser la plaquette entière. En conséquence de ces
10 deux électrolyse on obtient une porosité supérieure au centre de la plaque par rapport à la périphérie.

- Ensuite, une épitaxie permet de créer une couche monocristalline de Si sur cette couche poreuse (voir la figure 48, qui représente un ensemble comportant un substrat 21, la couche poreuse 22 présentant des différences
15 contrôlées de porosité entre les diverses zones Z1' et Z2', et une couche mince 23). Des recuits lissants de type recuit hydrogène sont avantageusement utilisés avant l'étape d'épitaxie afin de reboucher au moins en partie la surface des pores.

- Il peut y avoir une continuité cristallographique entre les diverses
20 couches dans la mesure où elles ont le même constituant.

L'épaisseur de cette couche monocristalline, qui devient ainsi la couche active, dépend des applications visées.

- Suivant l'épaisseur de cette couche active, elle peut devenir après
25 démontage une couche autoportée (si elle est assez épaisse) ou rapportée sur un substrat cible (par adhésion moléculaire par exemple) (surtout pour des épaisseurs faibles). Le décollement de la couche active de son substrat peut se faire chimiquement ou par l'introduction d'un fluide, localement au niveau de la couche poreuse.

- Une variante peut consister à ne pas rendre poreuse la périphérie
30 sur quelques mm (cas de la figure 49, avec un substrat 21', une couche 22' dont certaines zones sont poreuses, et une couche monocristalline 23'). Il

devient alors judicieux d'éliminer cette couronne en réalisant une découpe (mécanique ou par laser ou chimiquement par HF/HNO₃ ou TMAH).

- Concernant la répartition des zones Z1 et Z2 (une couronne unique, définition de parcelles, réseaux de zones, multitude de zones,...), les techniques de démontage de ces structures (par contraintes mécaniques, traitements chimiques, traitements thermiques, enlèvement sélectifs des couronnes et zones Z2,...) et leur exemple de mise en œuvre, les éléments et exemples donnés en section 1 concernant le cas d'un interface ou couche intermédiaire réalisée par adhésion moléculaire restent valables.
- De manière générale, on peut noter que :
- l'interface peut être une simple surface de contact ou une couche de liaison,
 - les parcelles peuvent être distribuées selon un réseau de carrés, de lignes, de cercles concentriques, etc....,
 - la définition géométrique des parcelles est de préférence liée à l'emplacement et à la taille des puces (à la zone Z2 près ou au trait de scia près....,
 - l'étape de préparation de la surface avant collage peut comporter une rugosification de la couche oxyde,
 - la préparation avant collage peut influencer sur la rugosité mais aussi sur l'effet hydrophile,
 - pour obtenir une rugosité plus importante de la première zone par rapport à celle de la seconde zone, on peut rugosifier l'ensemble des deux zones et réduire la rugosité de la seule seconde zone,
 - la différence Z1, Z2 peut provenir d'un traitement thermique post-collage moléculaire localisé ; en alternative, on peut utiliser des recuits thermiques localisés (faisceau laser, fours non-uniformes, chauffage par lampe, etc...) après l'opération de collage,
 - lorsque l'interface est une couche enterrée fragilisée par implantation d'un élément gazeux, ce dernier est de préférence maintenu gazeux,

WO 02/084721

43

PCT/FR02/01266

- pour obtenir le décollement, on peut avantageusement éliminer des portions de matière correspondant à la zone Z2, par gravure chimique et/ou par enlèvement mécanique de matière (usinage),
- l'étape de décollement peut se faire par attaque acide et/ou
- 5 application de contraintes ; il peut y avoir mise en œuvre d'un jet, d'eau, d'air ou de fluide pressurisé,
- la description qui précède a insisté sur le cas d'une couche en silicium, mais il peut aussi s'agir de SiC, de GaN, de GaAs, de InP, de SiGe ou de semi-conducteurs dérivés,
- 10 - il peut y avoir une étape d'épitaxie sur la couche avant démontage ; il peut de même y avoir réalisation totale ou partielle de composant avant démontage,
- il peut y avoir des zones Z3, voire Z4... ayant des niveaux de tenue mécaniques différents de ceux des zones Z1 et Z2,
- 15 - il peut y avoir une évolution continue de la tenue mécanique entre des extrêmes, et non pas des paliers reliés par des sauts discrets,
- la différence de tenue mécanique entre les zones peut provenir d'une différence de composition (interface formée d'une couche dont des zones sont en un matériau et l'autre en un autre matériau ; ou interface formée en
- 20 partie par le matériau du substrat ou de la couche, et ne partie par une couche rapportée).

WO 02/084721

44

PCT/FR02/01266

REVENDICATIONS

1. Procédé de préparation d'une couche mince comportant une étape de réalisation d'une interface entre une couche destinée à faire partie de cette couche mince et un substrat, caractérisé en ce que cette interface est réalisée en sorte d'avoir au moins une première zone (Z1, Z1') ayant un premier niveau de tenue mécanique, et une seconde zone (Z2, Z2') ayant un second niveau de tenue mécanique sensiblement supérieur au premier niveau de tenue mécanique, la première zone étant incluse dans la seconde.
2. Procédé selon la revendication 1, caractérisé en ce que la seconde zone constitue la périphérie d'une plaque dont la première zone constitue le cœur.
3. Procédé selon la revendication 1, caractérisé en ce que la première zone est parcellaire, chaque parcelle étant entourée d'une seconde zone.
4. Procédé selon l'une quelconque des revendications 1. à 3, caractérisé en ce que l'interface est réalisée entre une surface du substrat et une surface de la couche, et l'étape de réalisation de l'interface comporte une étape de préparation d'au moins l'une de ces surfaces, une étape de collage selon laquelle cette surface est collée à l'autre surface par collage par adhésion moléculaire.
5. Procédé selon la revendication 4, caractérisé en ce que l'étape de réalisation de l'interface comporte une étape de préparation pour chacune des surfaces du substrat et de la couche.
6. Procédé selon la revendication 4 ou la revendication 5, caractérisé en ce que l'étape de préparation de surface comporte une étape de traitement augmentant localement la rugosité de cette surface en cette première zone.
7. Procédé selon la revendication 6, caractérisé en ce que l'étape de traitement comporte une attaque acide localisée de la surface en cette première zone.
8. Procédé selon la revendication 7, caractérisé en ce que l'attaque acide est effectuée avec de l'acide HF, la surface étant, en cette seconde zone,

protégée de cette attaque par une couche, par exemple en nitrure, qui est éliminée après l'attaque.

5 9. Procédé selon la revendication 4 ou la revendication 5, caractérisé en ce que l'étape de préparation de surface comporte une étape selon laquelle la surface est entièrement rendue rugueuse et une étape selon laquelle la rugosité de certaines parties est améliorée pour permettre d'obtenir des forces de collage plus grandes.

10 10. Procédé selon la revendication 9, caractérisé en ce que la rugosité de certaines parties est diminuée par polissage chimique, par traitement mécanique ou mécano-chimique ou par gravure sèche.

15 11. Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce que l'étape de réalisation de l'interface comporte une étape de fragilisation d'une couche enterrée dans un substrat de départ, selon laquelle au moins la première zone est plus fragilisée que la seconde zone, cette couche enterrée étant disposée entre une partie formant la couche, et une partie formant le substrat.

20 12. Procédé selon la revendication 11, caractérisé en ce que l'étape de fragilisation comporte une étape d'implantation d'au moins un élément gazeux, cette étape d'implantation étant conduite de façon différenciée pour les première et seconde zones.

25 13. Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce que l'étape de réalisation de l'interface comporte une étape de traitement propre à rendre poreux une couche superficielle du substrat, cette étape de traitement étant conduite de façon à rendre la première zone plus poreuse que la seconde zone, puis une étape de couverture selon laquelle la couche est réalisée au-dessus de cette couche poreuse.

14. Procédé selon la revendication 13, caractérisé en ce que le substrat est en silicium et cette étape de traitement comporte une électrolyse en milieu acide HF.

30 15. Procédé selon l'une quelconque des revendications 1 à 14, caractérisé en ce que l'étape de réalisation de l'interface est suivie d'une étape de démontage de la couche vis-à-vis du substrat.

16. Procédé selon la revendication 15, caractérisé en ce que, après l'étape de réalisation de l'interface sont effectuées une étape de découpe d'une parcelle au moins de la couche contenant cette première zone (Z1') et cette seconde zone (Z2') de telle sorte que cette seconde zone (Z2') longe la périphérie de cette parcelle, puis une éventuelle opération de démontage selon laquelle on décolle le substrat et la couche mince.

17. Procédé selon la revendication 15 ou la revendication 16, caractérisé en ce que, entre l'étape de réalisation de l'interface et l'étape de démontage est effectuée une étape de découpe de la seconde zone vis-à-vis de la première zone.

18. Procédé selon l'une quelconque des revendications 15 à 17, caractérisé en ce qu'il comporte, entre l'étape de réalisation de l'interface et l'étape de décollement, une étape de fabrication dans la couche de tout ou partie de composants microélectroniques, optiques ou mécaniques.

19. Procédé selon la revendication 18, caractérisé en ce que chacun des composants est réalisé ne regard de la première zone de faible tenue mécanique entourée de la seconde zone à plus forte tenue mécanique.

20. Procédé selon l'une quelconque des revendications 15 à 19, caractérisé en ce que, entre l'étape de réalisation de l'interface et l'étape de démontage, une étape de collage est effectuée, au cours de laquelle la couche est collée à un second substrat (16, 16').

21. Procédé selon la revendication 15, caractérisé en ce que cette étape de collage comporte un collage par adhésion moléculaire.

22. Procédé selon la revendication 15, caractérisé en ce que cette étape de collage comporte un collage par adhésif.

23. Procédé selon la revendication 17, caractérisé en ce que ce collage par adhésif est réalisé par une colle durcissable par rayonnement UV.

24. Procédé selon l'une quelconque des revendications 15 à 18, caractérisé en ce que l'étape de décollement est réalisée par attaque acide et application de contraintes mécaniques.

25. Procédé selon l'une quelconque des revendications 1 à 19, caractérisé en ce que la couche est en silicium.

26. Ensemble comportant une couche sur un substrat, cette couche (13+14, 13'+14', 23), étant reliée à ce substrat (11+12, 11'+12', 21) par une interface dont au moins une première zone choisie (Z1, Z1') a un premier niveau de tenue mécanique et une seconde zone choisie (Z2, Z2') a un niveau de tenue mécanique sensiblement supérieur au premier niveau, et la première zone (Z1, Z1') est incluse dans la seconde zone (Z2, Z2').
27. Ensemble selon la revendication 26, caractérisé en ce que la seconde zone constitue la périphérie d'une plaque dont la première zone constitue le cœur.
28. Ensemble selon la revendication 26, caractérisé en ce que la première zone est parcellaire, chaque parcelle étant entourée d'une seconde zone.
29. Ensemble selon la revendication 26, caractérisé en ce que une parcelle découpée dans cette couche contient cette première zone et cette seconde zone de telle sorte que cette seconde zone longe la périphérie de cette parcelle.
30. Ensemble selon l'une quelconque des revendications 26 à 29, caractérisé en ce que la couche comporte tout ou partie d'un composant microélectronique, optique ou mécanique.
31. Ensemble selon la revendication 30, caractérisé en ce que ce composant est en regard de la première zone de faible tenue mécanique entourée par la seconde zone à plus forte tenue mécanique.
32. Ensemble selon l'une quelconque des revendications 26 à 31, caractérisé en ce que l'interface est réalisé entre une surface du substrat et une surface de la couche qui sont collées par adhésion moléculaire.
33. Ensemble selon l'une quelconque des revendications 26 à 32, caractérisé en ce que l'une au moins des surfaces de l'interface a, en cette première zone, une plus grande rugosité que dans la seconde zone.
34. Ensemble selon l'une quelconque des revendications 26 à 31, caractérisé en ce que l'interface est formé par une couche enterrée dans un substrat de départ, la première zone étant plus fragilisée que la seconde zone.

WO 02/084721

48

PCT/FR92/01266

35. Ensemble selon l'une quelconque des revendications 26 à 31, caractérisé en ce que l'interface est formé par une couche poreuse entre cette couche et ce substrat, cette couche présentant des différences de porosité entre ces première et seconde zones.
- 5 36. Ensembles selon l'une quelconque des revendications 26 à 35, caractérisé en ce que la couche est en outre collée à un second substrat (16, 16').
37. Ensemble selon la revendication 36, caractérisé en ce que ce second substrat est collé par adhésion moléculaire.
- 10 38. Ensemble selon la revendication 36, caractérisé en ce que ce second substrat est collé par adhésif.
39. Ensemble selon la revendication 38, caractérisé en ce que ce collage par adhésif est réalisé par une colle durcissable par rayonnement UV.
- 15 40. Ensemble selon l'une quelconque des revendications 26 à 39, caractérisé en ce que la couche est en silicium.

WO 02/084721

1/11

PCT/FR02/01266

Fig.1

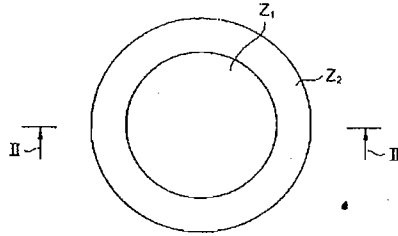


Fig.2

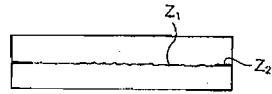
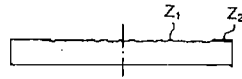


Fig.3



WO 02/094721

2/11

PCT/FR02/01266

Fig.5



Fig.6

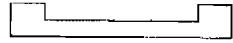


Fig.7



Fig.8

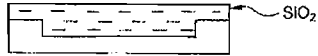
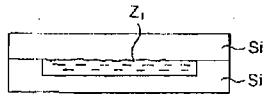


Fig.9



Fig.10



WO 02/084721

3/11

PCT/JP02/01266

Fig.11

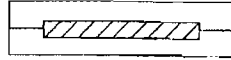


Fig.12

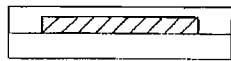


Fig.13

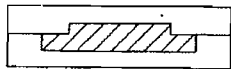
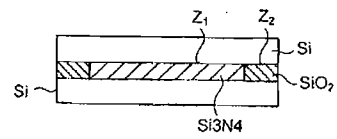


Fig.14



WO 02/084721

4/11

PCT/FR02/01266

Fig.15

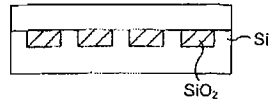


Fig.16

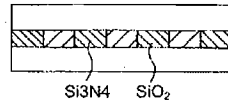


Fig.17

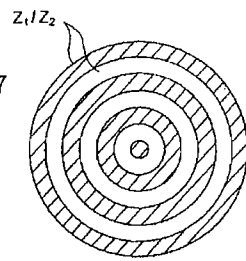
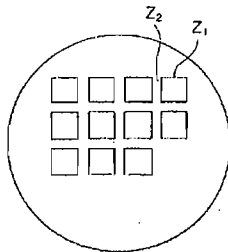


Fig.18



WO 02/084721

5/11

PCT/FR02/01266

Fig.4



Fig.19

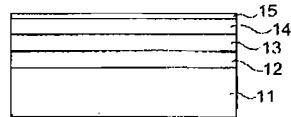


Fig.20

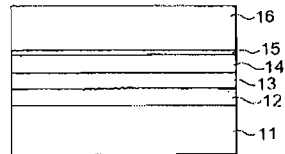


Fig.21

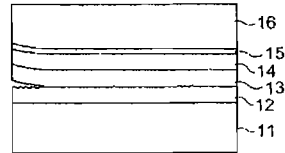
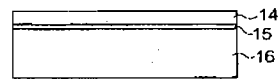


Fig.22



WO 02/084721

6/11

PCT/FR02/01266

Fig.23

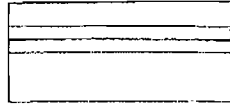


Fig.24

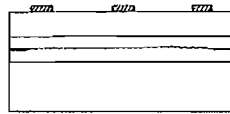


Fig.25

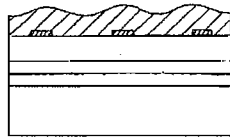


Fig.26

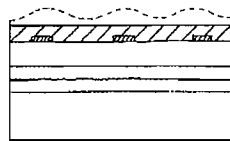


Fig.27

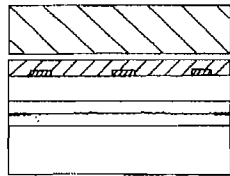
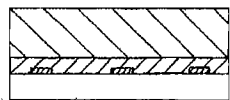


Fig.28



WO 02/084721

7/11

PCT/FR02/01266

Fig.29

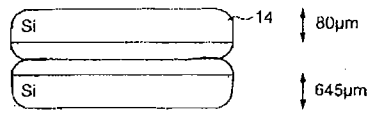


Fig.30

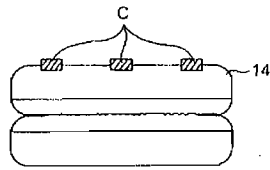


Fig.31

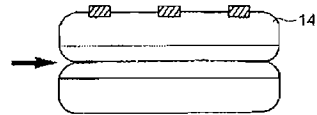
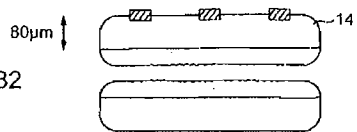


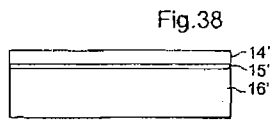
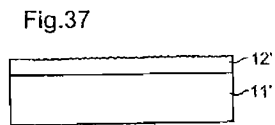
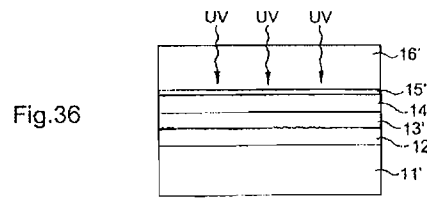
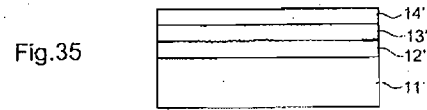
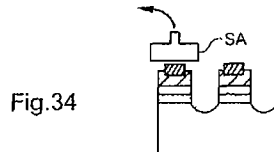
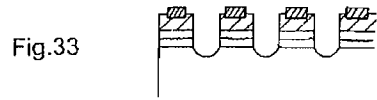
Fig.32



WO 02/084721

8/11

PCT/FR02/01266



WO 02/084721

9/11

PC1/FR02/01266

Fig.39

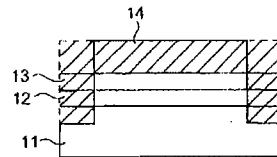


Fig.40

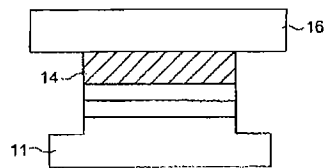
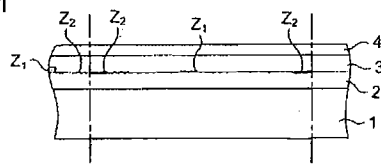


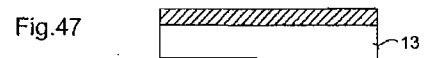
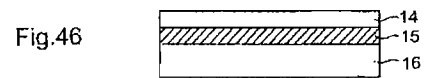
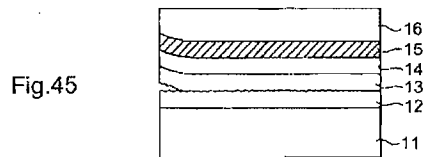
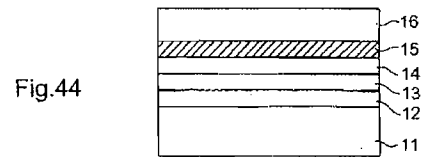
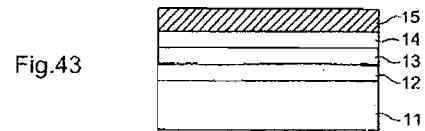
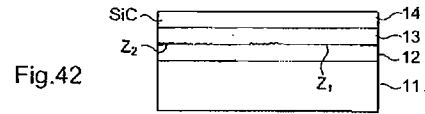
Fig.41



WO 02/084721

10/11

PCT/FR02/91266



WO 02/084721

11/11

PCT/FR02/01266

Fig.48

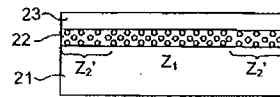
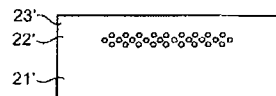


Fig.49



【国際公開パンフレット（コレクトバージョン）】

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international(43) Date de la publication internationale
24 octobre 2002 (24.10.2002)

PCT

(10) Numéro de publication internationale
WO 02/084721 A3(51) Classification internationale des brevets :
H01L 21/18, 21/78,
21/58, 21/62, 35/00, 21/2063, 21/20(74) Mandataire : SANTARELLI, 14, avenue de la Grande-
Armée, B.P. 257, F 75822 Paris Cedex 17 (DE)(21) Numéro de la demande internationale :
PCT/FR02/01266(81) États désignés (nationaux) : AE, AG, AI, AM, AT, AU, AZ,
BA, BB, BG, BR, BY, CA, CH, CN, CO, CR, CU, CZ,
DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GR, GU,
HR, HU, ID, IL, IN, IS, JP, KI, KR, KZ, LC, LK,
LU, LS, LT, LV, LY, MA, MD, MG, MK, MN, MW, MX,
MZ, NO, NZ, OM, PL, PT, RO, RU, SD, SE, SG, SI,
SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN,
YE, ZA, ZM, ZW.

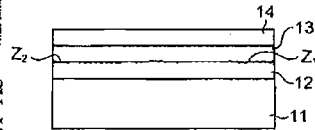
(22) Date de dépôt international : 11 avril 2002 (11.04.2002)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
01/06129 13 avril 2001 (13.04.2001) FR(84) États désignés (régionaux) : brevets ARIPO (GB, OM, KE,
LS, MW, MZ, SD, SI, SZ, TZ, UG, ZM, ZW); brevets
européens (AM, AZ, BY, KI, KZ, MD, RU, TJ, TM); brevets
européens (AT, BE, CH, CY, DK, ES, FI, FR, GB, GR,
IE, IT, LU, MC, NL, PT, SE, TR); brevets OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).(71) Dépositaire pour tous les États désignés (au US) : COM-
MISSARIAT A L'ÉNERGIE ATOMIQUE (FR/FR),
311/53, rue de la Victoire, F-75752 Paris Cedex 15 (FR).Publiée :
avec rapport de recherche internationale(72) Inventeurs et
(75) Inventeurs/Déposants (pour US seulement) : ASPAR,
Bernard (FR/FR), 110, Le Clos de la Chapelle des Aves,
F-38100 Rives (FR); MORICEAU, Hubert (FR/FR),
26, rue de l'Éclair, F-38120 Saint Leger (FR); ZUSSY,
Marc (FR/FR), 4 avenue Albert 1er de Belgique, F-38000
Grenoble (FR); RAYSSAC, Olivier (FR/FR), 7, chemin
Chapuis, F-38000 Grenoble (FR).(88) Date de publication du rapport de recherche
internationale : 6 novembre 2002
En ce qui concerne les codes de deux lettres et autres abrévia-
tions, se référer aux "Notes explicatives relatives aux codes et
abréviations" figurant au début de chaque numéro ordinaire de
la Gazette du PCT.(54) Title: DETACHABLE SUBSTRATE OR DETACHABLE STRUCTURE AND METHOD FOR THE PRODUCTION
THERMAL

(54) Titre : SUBSTRAT OU STRUCTURE DEMONTABLE ET PROCÉDE DE RÉALISATION

(57) Abstract: The invention relates to the
composition of a thin layer comprising a step in
which an interface is created between a layer
used to create said thin layer and a substrate,
characterized in that said interface is made in such
a way that it is provided with at least one first
zone (Z1) which has a first level of mechanical
strength, and a second zone (Z2) which has a level
of mechanical strength which is substantially lower
than that of the first zone. Said interface can be
created by gluing surfaces which are prepared in
a differentiated manner, by a layer which is buried
and embedded in a differentiated manner in said zones, or by an intermediate porous layer.

WO 02/084721 A3

(57) Abrégé : L'invention se rapporte à une couche mince comportant une étape de réalisation d'une interface entre une couche
destinée à faire partie de cette couche mince et un substrat est caractérisée en ce que cet interface est réalisé en sorte d'avoir au moins
une première zone (Z1) ayant un premier niveau de tenue mécanique, et une seconde zone (Z2) ayant un second niveau de tenue
mécanique sensiblement inférieur au premier niveau de tenue mécanique. Cette interface peut notamment être constituée par le
collage de surfaces préparées de façon différenciée, par une couche enterrée fragilisée de façon différenciée dans ces zones, ou par
une couche intermédiaire poreuse.

INTERNATIONAL SEARCH REPORT		Inventor Application No. Pct/FR 02/01266
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L21/18 H01L21/78 H01L21/58 H01L21/76Z H01L33/00 H01L21/3063 H01L21/20		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation reported other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT Category * Citation of document, with indication, where appropriate, of the relevant passages		
X	FR 2 771 852 A (COMMISSARIAT ENERGIE ATOMIQUE) 4 June 1999 (1999-06-04) page 1, line 6 - line 16 page 3, line 31 - page 5, line 12 page 5, line 21 - page 9, line 2 page 9, line 13 - line 20 page 10, line 24 - page 11, line 27; figure 1 page 12, line 2 - line 8; figure 2 page 12, line 19 - page 13, line 7 page 13, line 29 - page 15, line 6; figures 3, 4	1, 2, 4, 11, 12, 15, 17, 20, 22-27, 30-32, 34, 36, 38-40
Y	-/-	3, 5-8,
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" documents which may throw doubts on priority claims or which in fact establish the publication date of another claim or other special reason (see specification) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later documents (published after the international filing date or priority date and not in context with the application but cited to understand the principle or theory underlying the invention) "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 30 January 2003		Date of mailing of the international search report 07/02/2003
Name and mailing address of the ISA European Patent Office, P.O. Box 5018, D-69110 Heidelberg, Germany Tel: (+49-6221) 34-3300, Fax: (+49-6221) 34-3301 E-mail: (+49-6221) 34-3301		Authorized officer Klopfenstein, P

Form PCT/ISA/210 (second sheet) July 1993

INTERNATIONAL SEARCH REPORT		Inventor Application No. PCT/JP 02/01266
C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Character of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
		13, 14, 16, 18, 19, 21, 28, 29, 33, 35, 37
X	<p>EP 0 938 129 A (CANON KK) 25 August 1999 (1999-08-25)</p> <p>column 1, line 6 - line 10 column 3, line 52 - column 4, line 10 column 4, line 37 - line 45 column 4, line 55 - column 5, line 2 column 5, line 32 - line 36 column 6, line 47 - column 7, line 38; figures 1A-1C, 2A, 2B column 7, line 48 - column 8, line 14; figure 3B column 8, line 40 - line 48; figure 3B column 9, line 5 - line 15; figure 3B column 9, line 47 - column 10, line 16 column 12, line 14 - line 27; figure 1C column 14, line 58 - column 15, line 4 column 19, line 30 - column 20, line 33</p>	1, 4, 11-15, 20, 21, 24-26, 32-37, 40
Y		5-8, 13, 14, 18, 19, 21, 33, 35, 37
X	<p>WIEGAND M ET AL: "Wafer bonding of silicon wafers covered with various surface layers" SENSORS AND ACTUATORS A, ELSEVIER SEQUOIA S.A., LAUSANNE, CH, vol. 86, no. 1-2, 30 October 2000 (2000-10-30), pages 91-95, XP004224534 ISSN: 0924-6247 page 91, paragraph 2 - page 92 page 93; figure 5B page 94, paragraph 4</p>	1, 3-5, 25, 26, 28, 32, 40
Y		3, 16, 28, 29
A	<p>----- -/-</p>	2, 6-8, 33

INTERNATIONAL SEARCH REPORT		In 1st Application No. PCT/R 02/01266
C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Location of disclosures, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 059 663 A (CANON KK) 13 December 2000 (2000-12-13) paragraph '0018! - paragraph '0028!; figures 1A, 1B paragraph '0035! paragraph '0073!; figure 13 paragraph '0085! - paragraph '0086! paragraph '0095! - paragraph '0097!; figures 2A-26 ---	1, 2, 13-15, 17, 20-22, 24-27, 33, 35-38, 40
X	THEODORE N D ET AL: "TFSOI WITH IMPROVED OXIDATION RESISTANCE (TO REDUCE ISOLATION INDUCED STRESSES AND LEAKAGE)" MOTOROLA TECHNICAL DEVELOPMENTS, MOTOROLA INC. SCHAUMBURG, ILLINOIS, US, vol. 29, 1 November 1996 (1996-11-01), pages 158-159, XP000691920 page 158; figure 3C ---	1, 2, 11, 12, 25-27, 34, 40

INTERNATIONAL SEARCH REPORT						In 1st Application No PCT/FR 02/01266	
Patent document cited in search report		Publication date	Patent family member(s)		Publication date		
FR 2771852	A	04-06-1999	FR	2771852 A1	04-06-1999		
			EP	0923123 A2	16-06-1999		
			JP	11317577 A	16-11-1999		
			US	6159323 A	12-12-2000		
EP 0938129	A	25-08-1999	CN	1228607 A	15-09-1999		
			EP	0938129 A1	25-08-1999		
			JP	3031904 B2	10-04-2000		
			JP	11317509 A	16-11-1999		
			SG	81964 A1	24-07-2001		
			TW	437078 B	28-05-2001		
			US	2002093047 A1	18-07-2002		
			US	6342433 B1	29-01-2002		
EP 1059663	A	13-12-2000	JP	2000349319 A	15-12-2000		
			JP	2000349066 A	15-12-2000		
			CN	1280383 A	17-01-2001		
			EP	1059663 A2	13-12-2000		

Form PCT/ISA-C10 (patent family member) July 1999

RAPPORT DE RECHERCHE INTERNATIONALE		D a internationale No PCT/FR 02/01266
A. CLASSEMENT DE L'OBJET DE LA DEMANDE CIB 7 H01L21/18 H01L21/78 H01L21/58 H01L21/762 H01L33/00 H01L21/3063 H01L21/20		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification internationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE CIB 7 H01L		
(documentation) : domaine considéré (système de classification selon des symboles de classement)		
Documentation consultée autre que la documentation nationale dans la mesure où des documents relatifs des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, si applicable, formes de recherche utilisées) EPO-internal, PAJ, INSPEC		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie *	Identification des documents cités, avec, si cas échéant, l'indication des passages pertinents	no. des revendications visées
X	FR 2 771 852 A (COMMISSARIAT ENERGIE ATOMIQUE) 4 juin 1999 (1999-06-04) page 1, ligne 6 - ligne 16 page 3, ligne 31 - page 5, ligne 12 page 5, ligne 21 - page 9, ligne 2 page 9, ligne 13 - ligne 20 page 10, ligne 24 - page 11, ligne 27; figure 1 page 12, ligne 2 - ligne 8; figure 2 page 12, ligne 19 - page 13, ligne 7 page 13, ligne 29 - page 15, ligne 6; figures 3, 4	1, 2, 4, 11, 12, 15, 17, 20, 22-27, 30-32, 34, 36, 38-40
Y	- / -	3, 5-8,
<input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents <input checked="" type="checkbox"/> Les documents de brevets de brevet ont été indiqués en abrégé		
* Catégories spéciales de documents cités. "A" document d'enseignement (état général de la technique, non considéré comme particulièrement pertinent) "E" document antérieur, mais publié à la date de dépôt international ou après cette date "I" document couvrant tout ou partie d'une revendication de priorité ou cité pour documenter la date de publication d'une autre citation ou pour une citation spéciale (voir la légende) "O" document se référant à une divulgation orale, à un voyage, à une exposition ou tout autre moyen "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée "T" document antérieur publié après la date de dépôt international de la demande de brevet, mais à cet égard conservé et pertinent ou le thème constituant le socle de l'invention "X" document particulièrement pertinent, l'inventeur non revendiqué ne peut être considéré comme nouveau ou comme impliquant une activité inventive sur l'ensemble du document considéré "Y" document particulièrement pertinent, l'inventeur non revendiqué ne peut être considéré comme impliquant une activité inventive sur l'ensemble du document considéré "Z" document de même nature, cette combinaison étant éliminée pour une invention du même		
Date à laquelle la recherche internationale a été effectivement achevée 30 janvier 2003		Date d'expiration du présent rapport de recherche internationale 07/02/2003
Nom et adresse postale de l'Administration chargée de la recherche internationale Office Européen des Brevets, P.B. 1211, 8160 Luxembourg 2 NL - 2280 HV Rijswijk Tél. (+31) 78 640-2043, Tél. 01 651 890 01 Fax (+31) 78 640-2010		Fonctionnaire autorisé Klopfenstein, P

RAPPORT DE RECHERCHE INTERNATIONALE		Di internationale No PLI/R 02/01266
C (publ) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visé
X	<p>EP 0 938 129 A (CANON KK) 25 août 1999 (1999-08-25)</p> <p>colonne 1, ligne 6 - ligne 10 colonne 3, ligne 52 - colonne 4, ligne 10 colonne 4, ligne 37 - ligne 45 colonne 4, ligne 55 - colonne 5, ligne 2 colonne 5, ligne 32 - ligne 36 colonne 6, ligne 47 - colonne 7, ligne 38; figures 1A-1C, 2A, 2B colonne 7, ligne 48 - colonne 8, ligne 14; figure 3B colonne 8, ligne 40 - ligne 48; figure 3B colonne 9, ligne 5 - ligne 15; figure 3B colonne 9, ligne 47 - colonne 10, ligne 16 colonne 12, ligne 14 - ligne 27; figure 1C colonne 14, ligne 58 - colonne 15, ligne 4 colonne 19, ligne 30 - colonne 20, ligne 33</p>	<p>13, 14, 16, 18, 19, 21, 28, 29, 33, 35, 37</p> <p>1, 4, 11-15, 20, 21, 24-26, 32-37, 40</p>
Y		5-8, 13, 14, 18, 19, 21, 33, 35, 37
X	<p>WIEGAND M ET AL: "Wafer bonding of silicon wafers covered with various surface layers" SENSORS AND ACTUATORS A, ELSEVIER SEQUOIA S.A., LAUSANNE, CH, vol. B6, no. 1-2, 30 octobre 2000 (2000-10-30), pages 91-95, XP004224534 ISSN: 0924-4247 page 91, alinéa 2 - page 92 page 93; figure 5B page 94, alinéa 4</p>	<p>1, 3-5, 25, 26, 28, 32, 40</p>
Y		3, 16, 28, 29
A	<p>---</p> <p>---</p>	2, 6-8, 33

RAPPORT DE RECHERCHE INTERNATIONALE		International No PCI/FR 02/01266
C(oute) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec le cas échéant, l'indication des passages pertinents	no. des révisions visées
X	EP 1 059 663 A (CANON KK) 13 décembre 2000 (2000-12-13) alinéa '0018! - alinéa '0028!; figures 1A, 1B alinéa '0035! alinéa '0073!; figure 13 alinéa '0085! - alinéa '0086! alinéa '0095! - alinéa '0097!; figures 2A-2G	1, 2, 13-15, 17, 20-22, 24-27, 33, 35-38, 40
X	THEODORE N D ET AL: "TFSOI WITH IMPROVED OXIDATION RESISTANCE (TO REDUCE ISOLATION INDUCED STRESSES AND LEAKAGE)" MOTOROLA TECHNICAL DEVELOPMENTS, MOTOROLA INC. SCHAUMBURG, ILLINOIS, US, vol. 29, 1 novembre 1996 (1996-11-01), pages 158-159, XP000691920 page 158; figure 3C	1, 2, 11, 12, 25-27, 34, 40

RAPPORT DE RECHERCHE INTERNATIONALE			C	
Renseignements relatifs aux membres de familles de brevets			s internationale No	
			PCT/FR 02/01266	
Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevets	Date de publication	
FR 2771852 A	04-06-1999	FR 2771852 A1	04-06-1999	
		EP 0923123 A2	16-06-1999	
		JP 11317577 A	16-11-1999	
		US 6159323 A	12-12-2000	
EP 0938129 A	25-08-1999	CN 1228607 A	15-09-1999	
		EP 0938129 A1	25-08-1999	
		JP 3031904 B2	10-04-2000	
		JP 11317509 A	16-11-1999	
		SG 81964 A1	24-07-2001	
		TW 437078 B	28-05-2001	
		US 2002093047 A1	18-07-2002	
		US 6342433 B1	29-01-2002	
EP 1059663 A	13-12-2000	JP 2000349319 A	15-12-2000	
		JP 2000349066 A	15-12-2000	
		CN 1280383 A	17-01-2001	
		EP 1059663 A2	13-12-2000	

(81)指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW

(72)発明者 アスパール, ベルナール

フランス国、エフ-38140・リーブ、ロテイスマン・ル・アモ・デ・エ、110

(72)発明者 モリソー, ユベール

フランス国、エフ-38120・サン・エグレーブ、リュ・ドユ・フルネ、26

(72)発明者 ジュシー, マルク

フランス国、エフ-38000・グルノーブル、アブニユ・アルペール・プルミエ・ドウ・ベルジ
ツク・4

(72)発明者 レサク, オリビエ

フランス国、エフ-38000・グルノーブル、シユマン・ドユ・シヤビートル、7

Fターム(参考) 5F032 AA91 CA05 CA06 CA17 CA20 DA02 DA04 DA21 DA23 DA24

DA32 DA33 DA53 DA67 DA71 DA78